



#4

XA-9628
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Hirofumi SHIBUYA et al.

Appln. No.: 10/080,576

Group Art Unit: 2818

Filed: February 25, 2002

For: NON-VOLATILE DATA STORAGE SYSTEM AND DATA
STORAGING METHOD

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

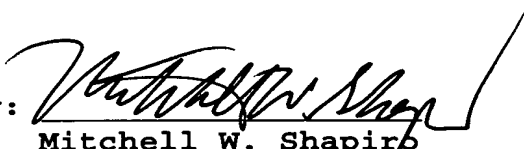
Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Applicants hereby claim the priority of Japanese
Patent Application No. 2001-152096 filed May 22, 2001, and
submit herewith a certified copy of said application.

Respectfully submitted,

By:


Mitchell W. Shapiro
Reg. No. 31,568

MWS:sjk

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, VA 22102-3833
Tel: (703) 610-8652

April 26, 2002

310001475



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月22日

出 願 番 号

Application Number:

特願2001-152096

[ST.10/C]:

[JP2001-152096]

出 願 人

Applicant(s):

株式会社日立製作所

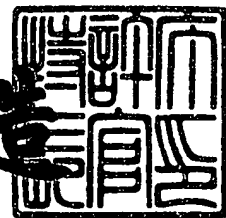
株式会社日立超エル・エス・アイ・システムズ

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 3月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3018675

【書類名】 特許願

【整理番号】 H00014751

【提出日】 平成13年 5月22日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 渋谷 洋文

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 田村 隆之

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 後藤 啓之

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 塩田 茂雅

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 中村 靖宏

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置及びデータ処理装置並びに記憶部制御方法

【特許請求の範囲】

【請求項 1】 データ部と上記データ部に対応する管理部とを有する半導体メモリチップを少なくとも 1 個備えた記憶部を有して成る記憶装置であって、

上記記憶部が複数の記憶領域に分割されるとともに、外部からのアクセスに対して上記記憶領域毎の個別制御を可能とする管理情報が上記データ部にテーブル化され、上記管理情報には、上記複数の記憶領域のうち予め指定された記憶領域についてのアクセスを制限するための制御情報が含まれることを特徴とする記憶装置。

【請求項 2】 データ部と上記データ部に対応する管理部とを有する半導体メモリチップを少なくとも 1 個備えた記憶部を有して成る記憶装置であって、

上記記憶部が複数の記憶領域に分割されるとともに、外部からのアクセスに対して上記記憶領域毎の個別制御を可能とする管理情報が上記データ部にテーブル化され、

上記管理情報には、上記複数の記憶領域のうち予め指定された記憶領域へのデータ書き込みを禁止するための第 1 制御情報、上記複数の記憶領域のうち予め指定された記憶領域からのデータ読み出しを禁止するための第 2 制御情報、上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、複数箇所にほぼ同時に格納するための同時ミラーリングを可能とする第 3 制御情報、上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、所定の時間差をおいて複数箇所に格納するための時間差ミラーリングを可能とする第 4 制御情報の少なくともひとつが含まれることを特徴とする記憶装置。

【請求項 3】 上記管理情報は、スペア領域として予め確保されている記憶領域を使用可能にするか否かを識別するための第 5 制御情報を含んで成る請求項 2 記載の記憶装置。

【請求項 4】 上記管理情報は、記憶領域の書き換え回数又は消去回数を示す第 6 制御情報を含んで成る請求項 2 又は 3 記載の記憶装置。

【請求項 5】 上記管理情報を一括して記憶するための記憶手段を含む請求

項 1 乃至 4 の何れか 1 項記載の記憶装置。

【請求項 6】 上記複数の記憶領域には、それぞれ記憶領域毎に上記管理情報を格納するための領域が設けられて成る請求項 1 乃至 4 の何れか 1 項記載の記憶装置。

【請求項 7】 上記管理情報に基づいて上記記憶領域を個別制御するための制御手段を含む請求項 1 乃至 6 の何れか 1 項記載の記憶装置。

【請求項 8】 上記制御手段は、上記管理情報の処理をソフトウェアで行うためのマイクロプロセッシングユニットを含んで成る請求項 7 記載の記憶装置。

【請求項 9】 上記制御手段は、上記管理情報の処理を専用ハードウェアで行うための制御部を含んで成る請求項 7 記載の記憶装置。

【請求項 10】 請求項 1 乃至 9 の何れか 1 項記載の記憶装置と、それをアクセス可能なホスト機器と、を含んで成るデータ処理装置。

【請求項 11】 上記請求項 1 乃至 6 の何れか 1 項記載の記憶装置と、それをアクセス可能なホスト機器とを含み、上記ホスト機器は、上記管理情報に基づいて上記記憶領域を個別制御するための情報処理部を含んで成るデータ処理装置。

【請求項 12】 データ部と上記データ部に対応する管理部とを有する半導体メモリチップを少なくとも 1 個備えた記憶部を制御するための記憶部制御方法であって、

上記記憶部が複数の記憶領域に分割されるとき、

上記複数の記憶領域のうち予め指定された記憶領域へのデータ書き込みを禁止するための第 1 制御情報、上記複数の記憶領域のうち予め指定された記憶領域からのデータ読み出しを禁止するための第 2 制御情報、上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、複数箇所にほぼ同時に格納するための第 3 制御情報、上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、所定の時間差をおいて複数箇所に格納するための第 4 制御情報の少なくともひとつを含んで上記データ部にテーブル化された管理情報に基づいて上記記憶部を上記記憶領域毎に個別制御するステップを含むことを特徴とする記憶部制御方法。

【請求項 1 3】 上記管理情報は、スベア領域として予め確保されている記憶領域を使用可能にするか否かを識別するための第 5 制御情報を含む請求項 1 2 記載の記憶部制御方法。

【請求項 1 4】 上記管理情報は、記憶領域の書き換え回数又は消去回数を示す第 6 制御情報を含む請求項 1 2 又は 1 3 記載の記憶部制御方法。

【請求項 1 5】 上記管理情報の編集を可能とする管理情報編集ステップを含み、上記管理情報編集ステップは、入力されたコマンドに従って上記管理情報の編集モードに遷移するか否かを判別する第 1 ステップと、

上記第 1 ステップでの判別結果に基づいて遷移された編集モードにおいて上記管理情報の編集を行うための第 2 ステップと、を含む請求項 1 2 乃至 1 4 の何れか 1 項記載の記憶部制御方法。

【請求項 1 6】 上記第 2 ステップには、ホスト機器から与えられたコマンドがホスト機器からランダムアクセスメモリへの書き込みコマンドか否かを判別し、その判別結果に基づいて上記ホスト機器から上記ランダムアクセスメモリへ上記管理情報を書き込む第 3 ステップと、

上記ホスト機器から与えられたコマンドが、上記ランダムアクセスメモリから記憶部への書き込みコマンドか否かを判別し、その判別結果に基づいて上記ランダムアクセスメモリから記憶部へ上記管理情報を書き込む第 4 ステップと、

上記ホスト機器から与えられたコマンドが、上記記憶部からランダムアクセスメモリへの読み出しコマンドか否かを判別し、その判別結果に基づいて上記記憶部からランダムアクセスメモリへ上記管理情報を読み出す第 5 ステップと、

上記ホスト機器から与えられたコマンドが、上記ランダムアクセスメモリからホスト機器への読み出しコマンドか否かを判別し、その判別結果に基づいて上記ランダムアクセスメモリから上記ホスト機器へ管理情報を読み出す第 6 ステップと、を含む請求項 1 5 記載の記憶部制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、記憶装置に関し、特に半導体記憶装置を用いて成る記憶装置の制御

技術に関し、例えばカード状に形成されて、携帯用パーソナルコンピュータシステムなどのデータ処理装置に着脱自在とされたカード型記憶装置に適用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

コンピュータシステムなどのデータ処理装置においてハードディスク装置は、外部記憶装置として多用されているが、近年においては、このハードディスク装置に代わって、半導体記憶装置を用いて成る大容量の外部記憶装置が使われるようになってきた。このような記憶装置の記憶部は、例えば複数のフラッシュ E E P R O M から構成されている。このようにフラッシュ E E P R O M を使用した記憶装置は、ハードディスク装置に比べ、高速アクセスが可能であり、また、信頼性及び耐衝撃性等の点で優れているため、メモリボード、メモリカード、又はハードディスク装置と同一インターフェースを持つシリコンディスク装置などとして種々開発されている。

【 0 0 0 3 】

特開平 7 - 3 6 7 5 9 号公報によれば、カード内部のコントロールを行うカードコントローラと、ファイルデータやカードコントローラの制御を司るマイコンとを設け、ローカルメモリとしてファイルデータ格納用メモリにフラッシュメモリとマスク R O M を使用し、そのマスク R O M をアトリビュート格納用メモリとして共用するようにした I C カードが示される。また、P S R A M をデータ管理情報（書き換え回数を記録し、それを、書き換え回数の均等化を図るための情報）の一部である制御テーブルや、書き込み速度向上のためのライトバッファ及び不要データ消去処理時のガーベジバッファとして使用することにより、メモリへの書き込み速度の向上、長寿命化、低価格化、及び信頼性の向上を図っている。

【 0 0 0 4 】

また、特開平 5 - 3 3 4 5 0 6 号公報によれば、I C メモリカード 1 0 が装着される外部の本体システムは、モードコントロール回路 1 3 をコントロールしてアトリビュートメモリをアクセスする。そして、データの書き込み、読み出し処

理方式及び記憶容量が相違するメモリの種類や割り付けアドレス等の情報を識別し、上位アプリケーションプログラムによって、データ書き込むメモリの一方を選択してデータ及びプログラムの実行に必要な領域を制御するようにしたＩＣカードが示される。

【 0 0 0 5 】

特開平 6 - 5 2 6 7 4 号公報によれば、第 1 のマスストレージユニットのフラッシュＥＥＰＲＯＭはプリント回路基板上に実装されており、また第 2 のマスストレージユニットのフラッシュＥＥＰＲＯＭもそのプリント回路基板上に実装されている。この場合、第 2 のマスストレージユニットのフラッシュＥＥＰＲＯＭは、ＩＣソケットを介して着脱自在に実装されている。したがって、管理情報が記憶されるフラッシュＥＥＰＲＯＭをチップ単位で容易に交換することができるので、マスストレージサブシステムの維持を低コストで実現することができる。

【 0 0 0 6 】

【発明が解決しようとする課題】

従来の記憶装置の機能について本願発明者が検討したところ、記憶領域の管理は、記憶部全体としてひとつの記憶領域として行っており、記憶領域を各々識別していないため、記憶部を幾つかの領域に論理的に分割し、個々の領域毎に異なる制御を行うことはできないことが見いだされた。具体的には、記憶装置において、一般ユーザに誤って書き換えや消去されたくないデータがある場合に、そのようなデータは、書き込み禁止として予め設定された領域に置くだけで保護することができれば便利であるが、従来の記憶装置は、ひとつの記憶装置において領域毎に異なる制御を行うことはできないため、特定の記憶領域のみ書き込み禁止に設定することで、当該領域に存在するデータを保護することができない。また、ユーザの利用状況などのログをとりたい場合において、ある特定の記憶領域に保管されたログなどのデータについてはユーザに読まれないようにしたくても、それを簡単に実現することができない。さらに、記憶装置へのデータ書き込みの際に当該記憶装置の電源が遮断された場合などにおいて、データの書き込みを行っている領域のデータが消失してしまうことがあるが、それを記憶装置で救済することができない。

【 0 0 0 7 】

本発明の目的は、特定の記憶領域に対するアクセスを制限可能とするための技術を提供することにある。

【 0 0 0 8 】

本発明の別な目的は、特定の記憶領域のみ書き込み禁止に設定することで、当該領域に存在するデータの保護を可能とするための技術を提供する。

【 0 0 0 9 】

本発明の別の目的は、ある特定の記憶領域を読み出し禁止に設定することで、当該領域に存在するデータの保護を可能とするための技術を提供する。

【 0 0 1 0 】

本発明の別の目的は、データの消失に対する救済を記憶装置で行うための技術を提供することにある。

【 0 0 1 1 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 2 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 3 】

すなわち、データ部と上記データ部に対応する管理部とを有する半導体メモリチップを少なくとも1個備えた記憶部を有して記憶装置が構成されるとき、上記記憶部を複数の記憶領域に分割するとともに、外部からのアクセスに対して上記記憶領域毎の個別制御を可能とする管理情報を上記データ部にテーブル化し、上記管理情報には、上記複数の記憶領域のうち予め指定された記憶領域についてのアクセスを制限するための制御情報を含める。

【 0 0 1 4 】

上記の手段によれば、管理情報には、上記複数の記憶領域のうち予め指定された記憶領域についてのアクセスを制限するための制御情報を含んでおり、外部か

らのアクセスに対してはこの制御情報に従って特定の記憶領域についてのアクセスが制限される。

【 0 0 1 5 】

また、データ部と上記データ部に対応する管理部とを有する半導体メモリチップを少なくとも1個備えた記憶部を有して記憶装置が構成されるとき、上記記憶部を複数の記憶領域に分割するとともに、外部からのアクセスに対して上記記憶領域毎の個別制御を可能とする管理情報を上記データ部にテーブル化し、上記管理情報には、上記複数の記憶領域のうち予め指定された記憶領域へのデータ書き込みを禁止するための第1制御情報、上記複数の記憶領域のうち予め指定された記憶領域からのデータ読み出しを禁止するための第2制御情報、上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、複数箇所にはほぼ同時に格納するための同時ミラーリングを可能とする第3制御情報、上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、所定の時間差において複数箇所に格納するための時間差ミラーリングを可能とする第4制御情報の少なくともひとつを含める。

【 0 0 1 6 】

上記した手段によれば、管理情報には、上記複数の記憶領域のうち予め指定された記憶領域についてのアクセスを制限するための制御情報を含んでおり、外部からのアクセスに対してはこの制御情報に従って特定の記憶領域についてのアクセスが制限される。このとき、上記管理情報に第1制御情報が含まれていれば、それに基づいて上記複数の記憶領域のうち予め指定された記憶領域へのデータ書き込みを禁止することができ、このことが、当該記憶領域に存在するデータを保護する。上記管理情報に第2制御情報が含まれていれば、それに基づいて上記複数の記憶領域のうち予め指定された記憶領域からのデータ読み出しを禁止することができ、このことが、当該記憶領域に存在するデータの保護を達成する。上記管理情報に第3制御情報が含まれていれば、それに基づいて上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、複数箇所にはほぼ同時に格納することができ、このことが、訂正不可能なデータエラーを生じた場合に、他の記憶領域からのデータを利用することでデータ消失を回避することができる。

また、上記管理情報に第4制御情報が含まれていれば、それに基づいて上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、所定の時間差において複数箇所に格納することができるので、訂正不可能なデータエラーを生じた場合に、他の記憶領域からのデータを利用することでデータ消失を回避することができる。

【0017】

上記管理情報には、スペア領域として予め確保されている記憶領域を使用可能にするか否かを識別するための第5制御情報を含めることができる。上記管理情報に第5制御情報が含まれていれば、それに基づいて、スペア領域の使用が可能とされるため、特定の記憶領域が使用不可能となった場合に、スペア領域に代替することで記憶容量の減少を回避することができる。

【0018】

上記管理情報に、記憶領域の書き換え回数又は消去回数を示す第6制御情報が含まれていれば、それに基づいて、記憶領域の寿命を把握できるため、当該記憶領域に格納されているデータの信頼性の向上を図ることができる。

【0019】

このとき、上記管理情報を一括して記憶するための記憶手段を含めることができる。また、上記複数の記憶領域には、それぞれ記憶領域毎に上記管理情報を格納するための領域を設け、そこに管理情報を記憶させることができる。

【0020】

上記管理情報に基づいて上記記憶領域を個別制御するための制御手段を含めることができる。このとき、上記制御手段は、上記管理情報の処理をソフトウェアで行うためのマイクロプロセッシングユニットを含んで構成することができる。

【0021】

また、上記制御手段は、上記管理情報の処理の高速化を図るため、上記管理情報の処理を専用ハードウェアで行うための制御部を含んで構成することができる。

【0022】

上記記憶装置と、それをアクセス可能なホスト機器とを含んでデータ処理装置

を構成することができる。

【0023】

上記記憶装置と、それをアクセス可能なホスト機器とを含んでデータ処理装置が構成されるとき、上記ホスト機器には、上記管理情報に基づいて上記記憶領域を個別制御するための情報処理部を含めることができる。

【0024】

記憶情報の書き換えが可能な半導体記憶素子を含んで成る記憶部を制御するに際して、上記記憶部が論理的に複数の記憶領域に分割されるとき、上記複数の記憶領域のうち予め指定された記憶領域へのデータ書き込みを禁止するための第1制御情報、上記複数の記憶領域のうち予め指定された記憶領域からのデータ読み出しを禁止するための第2制御情報、上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、複数箇所にはほぼ同時に格納するための同時ミラーリングを可能とする第3制御情報、上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、所定の時間差をおいて複数箇所に格納するための時間差ミラーリングを可能とする第4制御情報の少なくともひとつを含む管理情報に基づいて上記記憶部を上記記憶領域毎に個別制御するステップを有する。

【0025】

上記管理情報には、スベア領域として予め確保されている記憶領域を使用可能にするか否かを識別するための第5制御情報、あるいは記憶領域の書き換え回数又は消去回数を示す第6制御情報を含めることができる。

【0026】

上記管理情報の編集を可能とする管理情報編集ステップを含むとき、この管理情報編集ステップには、入力されたコマンドに従って上記管理情報の編集モードに遷移するか否かを判別する第1ステップと、上記第1ステップでの判別結果に基づいて遷移された編集モードにおいて上記管理情報の編集を行うための第2ステップとを含めることができる。そして、上記第2ステップには、ホスト機器から与えられたコマンドがホスト機器からランダムアクセスメモリへの書き込みコマンドか否かを判別し、その判別結果に基づいて上記ホスト機器から上記ランダムアクセスメモリへ上記管理情報を書き込む3ステップと、上記ホスト機器から

与えられたコマンドが、上記ランダムアクセスメモリから記憶部への書き込みコマンドか否かを判別し、その判別結果に基づいて上記ランダムアクセスメモリから記憶部へ上記管理情報を書き込む第4ステップと、上記ホスト機器から与えられたコマンドが、上記記憶部からランダムアクセスメモリへの読み出しコマンドか否かを判別し、その判別結果に基づいて上記記憶部からランダムアクセスメモリへ上記管理情報を読み出す第5ステップと、上記ホスト機器から与えられたコマンドが、上記ランダムアクセスメモリからホスト機器への読み出しコマンドか否かを判別し、その判別結果に基づいて上記ランダムアクセスメモリから上記ホスト機器へ管理情報を読み出す第6ステップと、を含めることができる。

【0027】

上記管理情報の編集は、所定のコマンドを与えることで実現される管理情報編集ステップにおいてのみ編集が可能とされることによって、管理情報がユーザによって不用意に書き換えられるのを回避することができる。また、所定のコマンドを与えることで管理情報編集ステップに遷移し、管理情報編集の編集が可能とされるため、記憶装置の用途に応じて、領域毎の個別制御の内容を容易に変更することができる。

【0028】

【発明の実施の形態】

図1には本発明にかかる記憶装置の構成例が示される。

【0029】

記憶装置10は、特に制限されないが、データ処理装置の一例とされる携帯用パーソナルコンピュータシステムなどのホスト機器20の外部記憶装置として適用され、当該ホスト機器20によるアクセスが可能とされる。

【0030】

上記記憶装置10は、特に制限されないが、情報処理部11と記憶部12とを含んでカード状に形成され、上記ホストシステム20に着脱自在に結合される。

【0031】

上記記憶部12は、特に制限されないが、それぞれ公知の半導体集積回路製造技術により、単結晶シリコン基板などのひとつの半導体基板に形成されたID情

報格納用メモリ 1 3 と、ファイル格納のためのその他のメモリ 1 4 ~ 1 7 とを含む。上記 I D 情報格納用メモリ 1 3 と、その他のメモリ 1 4 ~ 1 7 は、特に制限されないが、不揮発性記憶素子を含んで成るフラッシュメモリとされ、その記憶情報の電氣的な書き換えが可能される。I D 情報格納用メモリ 1 3 及びその他のメモリ 1 4 ~ 1 7 と、情報処理部 1 1 とは、アドレス信号やデータのやり取りを可能とするためのアドレス及びデータバス A D _ B U S や、チップ選択のためのチップセレクト信号やリード・ライト制御に関する各種制御信号を伝達するためのコントロールバス C _ B U S によって結合される。

【 0 0 3 2 】

記憶部 1 2 は、特に制限されないが、論理的に 3 個のグループ（記憶領域）0, 1, 2 に分割される。グループ 0 は、メモリ 1 4 とメモリ 1 5 の一部とから形成される。グループ 1 はメモリ 1 5 の一部によって形成される。グループ 2 はメモリ 1 6 とメモリ 1 7 とによって形成される。

【 0 0 3 3 】

情報処理部 1 1 は、ホスト機器 2 に結合され、このホスト機器 2 との間で、記憶装置 1 0 のアクセスに関する各種情報のやり取りが可能とされる。また、この情報処理部 1 1 は、上記アドレス及びデータバス A D _ B U S やコントロールバス C _ B U S を介して記憶部 1 2 の動作制御を行うことができる。この動作制御において、I D 情報格納用メモリ 1 3 に格納されている I D 情報が参照され、この I D 情報に基づいてグループ毎の個別制御が可能とされる。ここで、上記 I D 情報が本発明における管理情報の一例とされる。

【 0 0 3 4 】

図 2 には上記情報処理部 1 1 の構成例が示される。

【 0 0 3 5 】

図 2 に示されるようにこの情報処理部 1 1 は、特に制限されないが、外部デバイス接続部 1 1 1、M P U（マイクロプロセッシングユニット）1 1 2、バッファコントロール部 1 1 3、R A M（ランダム・アクセス・メモリ）1 1 4、及びインタフェース部 1 1 5 を含んで成る。外部デバイス接続部 1 1 1 は、ホスト機器 2 0 との間で情報のやり取りを可能にするためのインタフェースとして機能す

る。インタフェース部 1 1 5 は、上記記憶部 1 2 との間で情報のやり取りを可能とするためのインタフェースとして機能する。また、このインタフェース部 1 1 5 には、ここで取り扱われるデータのエラー検出を行うためのエラー検出回路や、このエラー検出回路の検出結果に基づいてエラーを訂正するためのエラー訂正回路が含まれ、データの信頼性の向上が図られている。

【 0 0 3 6 】

MPU 1 1 2 は、情報処理部の論理的中核を成し、予め定められたプログラムに従って、上記記憶部 1 2 の動作制御を含む情報処理のための所定の演算処理を行う。この MPU 1 1 2 は、MPU バス 1 1 6 を介して外部デバイス回路 1 1 1 、バッファコントロール部 1 1 3 、及びインタフェース部 1 1 5 に結合され、この MPU バス 1 1 6 を介して各部の動作を制御する。

【 0 0 3 7 】

RAM 1 1 4 は、バッファコントロール部 1 1 3 を介して上記 MPU 1 1 2 によってランダムアクセス可能なメモリ（ランダム・アクセス・メモリ）とされる。この RAM 1 1 4 は、ホスト機器 2 0 と記憶部 1 2 との間でやり取りされるデータを一時的に格納するために利用される。また、RAM 1 1 4 は、上記 MPU 1 1 2 での演算処理におけるワークエリアなどとしても利用される。

【 0 0 3 8 】

図 3 には、上記 ID 情報格納用メモリ 1 3 の内部構成と上記メモリ 1 4 の内部構成が示される。

【 0 0 3 9 】

上記メモリ 1 4 ～ 1 7 は互いに同一構成とされるため、メモリ 1 4 についてのみ詳細に説明する。

【 0 0 4 0 】

図 3（B）に示されるようにメモリ 1 4 は、特に制限されないが、行方向にデータ部とそれに対応する管理部とに分けられる。データ部はデータの格納が可能とされる。管理部は上記データ部の冗長救済のために上記データ部を 1 ブロック単位あるいは 1 セクタ単位で管理している。データ部に欠陥部がある場合、その欠陥部を含む 1 ブロックあるいは 1 セクタは、管理部で管理される冗長救済情報

に従って正常ブロックあるいは正常セクタに置換えられることによって冗長救済される。ID情報格納用メモリ13がフラッシュメモリによって構成され、情報救済情報の変更が可能とされるため、データ部の冗長救済は後発的な欠陥に対しても救済可能とされる。

【0041】

また、メモリ14は、列方向にユーザ領域①、代替領域②、及び管理領域③に分けられている。ユーザ領域①はユーザによる使用が可能とされる領域とされる。代替領域②はユーザ領域①で使用不可能になった箇所をブロック単位あるいはセクタ単位で代替可能な領域とされる。管理領域③は、上記代替領域によって代替されているか否かの識別情報、及び代替されている場合の代替先の情報をブロック単位あるいはセクタ単位で管理するための領域とされる。メモリ14がアクセスされる場合には、管理領域③で管理されている情報がチェックされ、正規領域が代替されている場合には正規領域に代えてその代替領域がアクセスされる。

【0042】

図3(A)に示されるようにID情報格納用メモリ13には、上記メモリ14～17のID情報をアドレス順に格納することによってテーブル形成される。特に制限されないが、行方向にデータ部と管理部とに分けられる。データ部はデータの格納が可能とされる。管理部は上記データ部の冗長救済のために上記データ部を1ブロック単位あるいは1セクタ単位で管理している。データ部に欠陥部がある場合、その欠陥部を含む1ブロックあるいは1セクタは、管理部で管理される冗長救済情報に従って正常ブロックあるいは正常セクタに代替されることによって冗長救済される。ID情報格納用メモリ13がフラッシュメモリによって構成され、情報救済情報の変更が可能とされるため、データ部の冗長救済は後発的な欠陥に対しても救済可能とされる。

【0043】

また、上記ID情報格納用メモリ13は、列方向にユーザ領域①、代替領域②、及び管理領域③に分けられている。ユーザ領域①はユーザによる使用が可能とされる領域とされる。代替領域②はユーザ領域①で使用不可能になった箇所をブロック単位あるいはセクタ単位で代替可能な領域とされる。管理領域③は、上記

代替領域によって代替されているか否かの識別情報、及び代替されている場合の代替先の情報をブロック単位あるいはセクタ単位で管理するための領域とされる。メモリ14がアクセスされる場合には、管理領域③で管理されている情報がチェックされ、正規領域が代替されている場合には正規領域に代えてその代替領域がアクセスされる。本例においては、上記のようにデータ部とそれに対応する管理部とが設けられ、データ部の冗長救済のために上記データ部を1ブロック単位あるいは1セクタ単位で管理しているが、それとは別に、外部からのアクセスに対して、予め設定された記憶領域毎の個別制御を可能とするID情報がデータ部にテーブル化されている。

【0044】

ここで上記ID情報は、ユーザ領域①のみならず、代替領域②や管理領域③まで及んでいる。すなわち、図3(B)において、メモリ14における代替領域②は、アドレス「0x2000」から「0x3000」の手前までとされ、管理領域③は、アドレス「0x3000」以降とされるが、この領域に対応するID情報も、図3(A)に示されるID情報に含まれている。これは、メモリ14におけるユーザ領域①や代替領域②及び管理領域③の大きさが変更された場合でも、予めID情報を割り当てておくことによって、ID情報の全テーブルを再構成しなくても良いようにするためである。ただし、メモリ14における代替領域②及び管理領域③は、メモリ管理をする領域であり、当該領域にID情報を持たせるのは不適切であるため、代替領域②及び管理領域③に格納されるID情報は、メモリ14において、対応する代替領域②及び管理領域③がユーザ領域として使われない限り、そのID情報の論理値は全て“0”に固定されている。

【0045】

尚、図3(A)，(B)では、メモリ14との関係で、それに対応するID情報が示されているが、他のメモリ15～16においても、メモリ14の場合と同様に、それに対応するID情報が設定される。

【0046】

記憶部12は、ホスト機器20によってアクセスされる。ID情報格納用メモリ13や、ファイル格納用のその他のメモリ14～15においては、データ部と

それに対応する管理部とを有しており、データ部がセクタ単位で救済されている場合には、管理部の情報に従って、データ部の不良領域がセクタ単位で代替される。また、本例では、メモリ14～17がアクセスされる場合においては、ID情報格納用メモリ13におけるデータ部にテーブル化されているID情報に従って、予め設定されている記憶領域毎の個別制御が行われる。

【0047】

図4には、ID情報格納用メモリ13内のテーブルの一例が示される。

【0048】

図4に示されるように、このID情報格納用メモリ13に形成されたテーブルには、チップイネーブル信号F__CE__N、アドレス(FD)、及びID情報が含まれる。

【0049】

チップイネーブル信号F__CE__Nは、1, 2, 3, 4の4種類とされ、それはメモリ14, 15, 16, 17に対応する。特に制限されないが、F__CE__N=1によってメモリ14が指定され、F__CE__N=2によってメモリ15が指定され、F__CE__N=3によってメモリ16が指定され、F__CE__N=4によってメモリ17が指定される。また、アドレス(FD)は各メモリ14, 15, 16, 17毎のアドレスであり、それぞれ0x0000～0xFFFFまでとされる。このアドレス(FD)に対応して、バイト構成のID情報が割り当てられている。これによれば、グループ0は、F__CE__N=1によって特定されるメモリ14と、F__CE__N=2によって特定されるメモリ15のアドレス「0x0000」から「0xFFFF」までとされ、グループ1は、F__CE__N=2によって特定されるメモリ16のアドレス「0x1000」から「0xFFFF」までとされ、グループ2は、F__CE__N=3によって特定されるメモリ17のアドレス「0x0000」から、F__CE__N=4によって特定されるメモリ14のアドレス「0xFFFF」までとされる。

【0050】

後に詳述するが、上記ID情報に従って、通常リード/ライトや、リードオンリー、ミラーリングなどの制御内容が特定され、外部からのアクセスに対して上

記記憶領域毎の個別制御が可能とされる。図4に示される例では、グループ0について通常リード／ライトが可能とされ、グループ1についてはリードオンリーが指定されることによって書き込みが禁止され、グループ2については、上記グループ0、1についてのミラーリング（時間差）が指定されることで、グループ2には、グループ0、1の記憶内容と同一のデータが所定の時間差を持って書き込まれるようになる。

【 0 0 5 1 】

図5にはID情報の構成例が示される。

【 0 0 5 2 】

ここで、ID情報はバイト形式とされる。ID情報の右端から左端に向かって順にバイトB0、B1、B2、B3のように示すものとする。バイトB0～B4は、当該ID情報によって特定される領域の書き換え回数／消去回数を示し、バイトB5～B9はアドレス情報を示し、バイトB10、B11は予備領域情報を示し、バイトB12、B13は制御情報を示す。

【 0 0 5 3 】

上記予備領域情報は、当該ID情報によって特定される領域に対して所定の時間差を有するミラーリング（「時間差ミラーリング」という）を行うか否かの識別情報、当該ID情報によって特定される領域に対して同時にミラーリング（「同時ミラーリング」という）を行うか否かの識別情報、スペア領域が存在するかどうかの識別情報、スペア領域が存在する場合で訂正不可能なエラーが生じた場合にスペア領域を割り当てる処理（「スペア処理」という）を優先して行うか否かの識別情報、及びスペア処理が完了しているかどうかの識別情報が含まれる。ミラーリングとは、特定の領域に書き込まれたデータと同一のデータを別の領域に書くことを意味する。このとき、データを書き込むタイミングの違いにより、同時ミラーリング、及び時間差ミラーリングとして区別される。また、スペアは、特定の記憶領域の代替領域である。バイトB10、B11をビット形式で示した場合に、所定ビットの論理値によって予備領域情報の内容が特定される。特に制限されないが、「0000_0000」の場合には、時間差ミラーリングや同時ミラーリングは行われなし、スペア領域も存在しない。「0000_0001」

の場合には、時間差ミラーリングが指定され、「0000_0010」の場合には、同時ミラーリングが指定され、「0000_0100」の場合には、スペア領域が存在することが示され、「0000_0111」の場合には、時間差ミラーリングや同時ミラーリングを行うことが指定され、スペア領域が存在することが示される。「0000_1111」の場合には、時間差ミラーリングや同時ミラーリングが行われることが指定され、スペア領域が存在し、その場合において訂正不可能なエラーが生じた場合にスペア処理を優先して行うことが指定される。また、「1111_xxxxx」の場合（xは論理不定を示す）の場合には、スペア処理が完了していることが示される。

【0054】

また、上記制御情報は、バイトB12，B13をビット形式で示した場合に、所定ビットの論理値によって予備領域情報の内容が特定される。特に制限されないが、「0000_0001」は、通常リード／ライト領域であることが示され、「0000_0010」は、リードオンリー（ライトプロテクト）領域であることが示され、「0000_0011」は、ライトオンリー領域であることが示され、「0000_0100」は、時間差ミラーリング領域であることが示され、「0000_1000」は、同時ミラーリング領域であることが示され、「1111_xxxxx」は、スペア領域であることが示される。ここで、「xxxx」は論理不定を意味する。

【0055】

リードオンリー領域へのデータ書き込みは禁止される。また、ライトオンリー領域からのデータ読み出しは禁止される。

【0056】

次に、図6乃至図13を参照しながら記憶装置10の動作を説明する。

【0057】

図6には、ID情報の初期処理の流れが示される。

【0058】

記憶装置10は、まず、電源投入によるパワーオンリセット又は通常リセットにより初期化される（S11）。

【 0 0 5 9 】

次に、ID情報格納用メモリ13からID情報のテーブルが、情報処理部11におけるRAM114に展開される(S12)。そして、情報処理部11では、RAM114に展開されたテーブルを参照して、記憶部12が、予め指定された書き換え回数又は消去回数に達しているか否かの判別が行われる(S13)。この判別において、予め指定された書き換え回数又は消去回数に達していない(No)と判断された場合には、本初期処理が終了される。しかしながら、上記ステップS13の判別において、予め指定された書き換え回数又は消去回数に達している(Yes)と判断された場合には、スペア領域に代替することで記憶情報の信頼性の向上を図るため、先ずID情報の予備領域情報が参照されてスペアが存在するか否かの判別が行われる(S14)。この判別においてスペアが存在する(Yes)と判断された場合には、そのスペアを探し出すために、ID情報における制御情報がスペア領域を示し、しかも、アドレス情報が一致するID情報の検索が開始される(S15)。ここでアドレス情報が一致するとは、スペア元のチップイネーブル信号(F__CE__N)及びアドレスが、スペア先のID情報におけるアドレス情報と一致するか否かということである。この検索において、制御情報がスペア領域を示し、ID情報におけるアドレス情報が一致するか否かの判別が行われる(S16)。この判別において、制御情報がスペア領域を示し、ID情報におけるアドレス情報が一致する(Yes)と判断された場合には、それはスペアのID情報であるから、情報処理部11ではスペア処理が行われる(S17)。このスペア処理では、スペア元のデータをRAM114などに一旦退避してからそのデータがスペア先に書き込まれる。また、このスペア処理には、代替領域へ再書き込み可能なライトエラー処理が含まれる。つまり、スペア処理においてスペア領域へデータを正常に書き込むことができなかった場合、当該領域への再書き込みが行われる。そしてスペア処理が完了したか否かの判別が行われ(S18)。この判別においてスペア処理が完了した(Yes)と判断された場合には、スペア情報が保持され(S19)、ホスト機器20に通知される。また、上記ステップS14の判別において、スペアが存在しない(No)と判断された場合や、上記ステップS16の判別において、スペアが検索されなかった場

合、さらには上記ステップS18の判別において、何らかの事情によりスペア処理が完了しない（No）と判断された場合には、エラー情報が保持され（S20）、そのエラー情報がホスト機器20に通知されることで本初期化処理が終了される（S21）。

【0060】

図7にはID情報の通常処理の流れが示される。

【0061】

ID情報の通常処理においては、ホスト機器20からコマンドが与えられると（S31）、まず、そのコマンドがリード系であるか否かの判別が行われる（S32）。この判別において、コマンドがリード系である（Yes）と判断された場合には、後に詳述するリード系コマンド処理が行われる（S35）。上記ステップS32の判別においてリード系のコマンドではない（No）と判断された場合には、与えられたコマンドがライト系であるか否かの判別が行われる（S33）。この判別においてコマンドがライト系である（Yes）と判断された場合には、後に詳述するライト系コマンド処理が行われる（S36）。上記ステップS33の判別においてライト系のコマンドではない（No）と判断された場合には、リード系及びライト系以外でサポートされているコマンドであるか否かの判別が行われる（S34）。この判別においてサポートされているコマンドである（Yes）と判断された場合には、上記リード系コマンド処理及びライト系コマンド処理とは異なる、その他のコマンド処理が行われる（S37）。上記その他のコマンド処理についても後に詳述する。上記ステップS34の判別において、サポートされているコマンドではない（No）と判断された場合には、上記ステップS31で取り込まれたコマンドは、情報処理部11で未サポートのコマンドであるから、その旨がホスト機器20に通知される（S41）。

【0062】

上記ステップS35のリードコマンド処理、上記ステップS36のライト系コマンド処理S36、又は上記ステップS37のその他のコマンド処理の結果、ID情報が更新が必要となる場合がある。例えば、記憶部12の書き換え／消去回数が増加された場合や、スペア情報が変更された場合などである。そこで、上記

ステップS35のリードコマンド処理、上記ステップS36のライト系コマンド処理S36、又は上記ステップS37のその他のコマンド処理が終了した後にID情報の更新が必要か否かの判別が行われる(S38)。例えばライト系コマンド処理により記憶部12の書き換えが行われた場合には、ID情報の更新が必要になる。上記ステップS38の判別においてID情報の更新が必要である(Yes)と判断された場合には、ID情報の更新が行われ(S39)、その後にホスト機器20に通知されて本処理が終了される(S41)。上記ホスト機器20への通知には、エラー情報の通知、記憶部12のステータスの通知、記憶部12の書き換え/消去回数の通知、及びスペア情報の通知などが挙げられる。

【0063】

図8及び図9には、図7におけるリード系コマンド処理(S35)の詳細な流れが示される。尚、図8及び図9において、①～⑤は処理が連続していることを示している。

【0064】

情報処理部11においてリード系コマンド処理の開始されると(S51)、先ずRAM114内に展開されているID情報が参照され(S52)、リード対象となる記憶領域に対応するID情報の制御情報(B12, B13)に通常リード領域の設定がなされているか否かの判別が行われる(S53)。図5に示されるようにID情報の制御情報であるバイトB12, B13が、「0000__0001」になっていれば、それは通常リード領域の設定がなされていることを意味する。上記ステップS53の判別において、通常リード領域の設定がなされている(Yes)と判断された場合には、情報処理部11においてリード処理が開始される(S56)。しかしながら、上記ステップS53の判別において、通常リード領域の設定がなされていない(No)と判断された場合には、リード対象となる記憶領域に対応するID情報の制御情報(B12, B13)にリードオンリー領域の設定がなされているか否かの判別が行われる(S53)。図5に示されるようにID情報の制御情報であるバイトB12, B13が、「0000__0010」になっていれば、それはリードオンリー領域の設定がなされていることを意味する。つまり、ライトプロテクトにより当該領域への書き込みが禁止される。

上記ステップ S 5 4 の判別においてリードオンリー領域の設定がなされている (Y e s) と判断された場合には、情報処理部 1 1 においてリード処理が開始される (S 5 6) 。しかしながら、上記ステップ S 5 4 の判別において、リードオンリー領域の設定がなされていない (N o) と判断された場合には、リード対象となる記憶領域に対応する I D 情報の制御情報 (B 1 2 , B 1 3) にライトオンリー領域の設定がなされているか否かの判別が行われる (S 5 5) 。図 5 に示されるように I D 情報の制御情報であるバイト B 1 2 , B 1 3 が、「 0 0 0 0 _ 0 0 1 1 」になっていれば、それはライトオンリー領域の設定がなされていることを意味する。上記ステップ S 5 5 の判別においてライトオンリー領域が設定されていない (N o) と判断された場合には、情報処理部 1 1 においてリード処理が開始される (S 5 6) 。しかしながら、上記ステップ S 5 5 の判別においてライトオンリー領域が設定されている (Y e s) と判断された場合には、リード系コマンド処理は不適切であるからエラーとされ、本フローチャートによる処理が終了される (S 7 5 , S 7 6) 。

【 0 0 6 5 】

上記ステップ S 5 7 のリード処理には、記憶部 1 2 からの情報読み出しに関する一連の処理の他に、訂正可能なエラー発生時の生成処理や、記憶領域の代替が可能であってそれが必要となった場合の代替処理が含まれる。

【 0 0 6 6 】

上記リード処理で得られた情報にエラーを生じた場合、そのエラーが訂正不可能なエラーか否かの判別が行われる (S 5 7) 。この判別において、訂正不可能なエラーではない (N o) と判断された場合には、代替不可か否かの判別が行われる (S 6 0) 。この判別において、代替不可ではない (N o) と判断された場合には本フローチャートによる処理が終了される。また、上記ステップ S 6 0 の判別において、代替不可である (Y e s) と判断された場合には、I D 情報における予備領域情報にスペアが設定されているか否かの判別が行われる (S 7 0) 。図 5 に示されるように I D 情報の予備領域情報であるバイト B 1 0 , B 1 1 が、「 0 0 0 0 _ 0 1 0 0 」、「 0 0 0 0 _ 0 1 1 1 」、「 0 0 0 0 _ 1 1 1 1 」、「 0 0 0 0 _ 0 1 1 0 」、「 0 0 0 0 _ 1 1 1 0 」の何れかであれば、それは

「スペアあり」を意味する。上記ステップS70の判別において、スペアがある（Yes）と判断された場合には、ID情報の検索が開始され（S71）、個々のID情報において、制御情報にスペア領域の設定がなされていて、しかも、スペア元チップイネーブル信号及びアドレスが、スペア先のID情報におけるアドレス情報に一致するか否かの判別が行われる（S72）。この判別において、制御情報にスペア領域の設定がなされていて、しかも、ID情報におけるアドレス情報が一致する（Yes）と判断された場合には、それは代替のためのスペアを意味するから、記憶領域の代替を可能とするためのスペア処理が行われる（S73）。このスペア処理には、スペア領域への再書き込みを可能とするライトエラー処理が含まれ、スペア領域へデータを正常に書き込めなかった場合、再書き込みが行われる。そしてスペア処理が完了したか否かの判別が行われる（S74）。この判別においてスペア処理が完了した（Yes）と判断された場合には、そのスペア情報が保持された後に本フローチャートによる処理が終了される（S68, S76）。また、上記ステップS74の判別において、スペア処理が完了しないと判断された場合には、それはスペア処理でのエラーとされ、本フローチャートによる処理が終了される（S75, S76）。

【0067】

また、上記ステップS57の判別において、リード処理におけるエラーが訂正不可能なエラーである（Yes）と判断された場合には、その読み出しにかかる領域のID情報における予備領域情報に同時ミラーリングが設定されているか否かの判別が行われる（S58）。図5に示されるようにID情報の予備領域情報（B10, B11）が、「000__0010」、「000__0111」、「000__1111」、「000__0110」、「000__1110」の何れかであれば同時ミラーリングが設定されている。上記ステップS58の判別において、同時ミラーリングが設定されている（Yes）と判断された場合には、ID情報の検索が開始され（S61）、個々のID情報において、制御情報に同時ミラーリング領域の設定がなされていて、しかも、ミラーリング元のチップイネーブル信号及びアドレスとミラーリング先のID情報におけるアドレス情報が一致するか否かの判別が行われる（S62）。この判別において、制御情報に同時ミラーリ

ング領域の設定がなされていて、しかも、ID情報におけるアドレス情報が一致する（Yes）と判断された場合には、それは上記エラーを生じた領域に対応する同時ミラー領域であることを意味するから、当該領域から情報を読み出すためのリード処理が行われる（S 6 5）。このリード処理において得られた情報にエラーを生じた場合、そのエラーが訂正不可能なエラーか否かの判別が行われる（S 6 6）。この判別において、訂正不可能なエラーではない（No）と判断された場合には、代替不可能か否かの判別が行われる（S 6 7）。この判別において、代替不可能ではない（No）と判断された場合には、代替（スペア）のための情報保持が行われて本フローチャートによる処理が終了される（S 7 6）。

【0068】

また、上記ステップS 6 6の判別において、訂正不可能なエラーである（Yes）と判断された場合には、ID情報の予備領域情報が参照され、スペア優先か否かの判別が行われる（S 6 9）。この判別において、スペア優先であると判断された場合には、ID情報の予備領域情報がスペアに設定されているか否かの判別が行われる（S 7 0）。この判別において、ID情報の予備領域情報がスペアに設定されている（Yes）と判断された場合には、ID情報の検索が開始され（S 7 1）、個々のID情報において、制御情報にスペア領域の設定がなされていて、しかも、スペア元のチップセレクト信号及びアドレスが、スペア先のID情報におけるアドレス情報に一致するか否かの判別が行われる（S 7 2）。この判別において、制御情報にスペア領域の設定がなされていて、しかも、ID情報におけるアドレス情報が一致する（Yes）と判断された場合には、スペア処理が行われる（S 7 3）。このスペア処理には代替領域へ再書き込み可能なライトエラー処理が含まれる。そして、スペア処理が完了したか否かの判別が行われる（S 7 4）。この判別において、スペア処理が完了していないと判断された場合にはエラーとされ、本フローチャートによる処理が終了される（S 7 5, S 7 6）。さらに、上記ステップS 5 8の判別において、ID情報における予備領域情報に同時ミラーリングが設定されていない（No）と判断された場合には、ID情報における予備領域情報に時間差ミラーリングが設定されているか否かの処理が行われる。この判別において、ID情報における予備領域情報に時間差ミラー

リングが設定されていない (N o) と判断された場合には、上記ステップ S 6 9 の判別に移行される。また、上記ステップ S 5 9 の判別において、I D 情報における予備領域情報に時間差ミラーリングが設定されている (Y e s) と判断された場合には、I D 情報の検索が開始され (S 6 3)、個々の I D 情報において、制御情報に同時ミラーリング領域の設定がなされていて、しかも、I D 情報におけるアドレス情報が一致するか否かの判別が行われる (S 6 4)。この判別において、制御情報に同時ミラーリング領域の設定がなされていて、しかも、I D 情報におけるアドレス情報が一致する (Y e s) と判断された場合には、それは上記エラーを生じた領域に対応する同時ミラー領域であることを意味するから、当該領域から情報を読み出すための上記リード処理に移行される (S 6 5)。

【 0 0 6 9 】

図 1 0 及び図 1 1 には、図 7 におけるライト系コマンド処理 (S 3 6) の詳細な流れが示される。尚、図 1 0 及び図 1 1 において、⑥～⑧は処理が連続していることを示している。

【 0 0 7 0 】

情報処理部 1 1 においてライト系コマンド処理の開始されると (S 8 1)、先ず R A M 1 1 4 内に展開されている I D 情報が参照され (S 8 2)、ライト対象となる記憶領域に対応する I D 情報の制御情報 (B 1 2, B 1 3) に通常ライト領域の設定がなされているか否かの判別が行われる (S 5 3)。図 5 に示されるように I D 情報の制御情報であるバイト B 1 2, B 1 3 が、「0 0 0 0 _ 0 0 0 1」になっていれば、それは通常ライト領域の設定がなされていることを意味する。上記ステップ S 8 3 の判別において、通常ライト領域が設定されている (Y e s) と判断された場合には、I D 情報における制御情報が同時ミラーリング領域の設定がなされているか否かの判別が行われる (S 8 6)。しかしながら、上記ステップ S 8 3 の判別において、通常ライト領域の設定がなされていない (N o) と判断された場合には、リード対象となる記憶領域に対応する I D 情報の制御情報 (B 1 2, B 1 3) にライトオンリー領域の設定がなされているか否かの判別が行われる (S 8 4)。図 5 に示されるように I D 情報の制御情報であるバイト B 1 2, B 1 3 が、「0 0 0 0 _ 0 0 1 1」になっていれば、それはライト

オンリー領域の設定がなされていることを意味する。上記ステップS84の判別においてライトオンリー領域の設定がなされている（Yes）と判断された場合には、ID情報における制御情報が同時ミラーリング領域の設定がなされているか否かの判別が行われる（S86）。しかしながら、上記ステップS84の判別において、ライトオンリー領域の設定がなされていない（No）と判断された場合には、リード対象となる記憶領域に対応するID情報の制御情報（B12, B13）にリードオンリー領域の設定がなされているか否かの判別が行われる（S85）。図5に示されるようにID情報の制御情報であるバイトB12, B13が、「0000_0010」になっていれば、それはリードオンリー領域の設定がなされていることを意味する。上記ステップS85の判別においてリードオンリー領域が設定されていない（No）と判断された場合には、ID情報における制御情報が同時ミラーリング領域の設定がなされているか否かの判別が行われる（S86）。しかしながら、上記ステップS85の判別においてリードオンリー領域が設定されている（Yes）と判断された場合には、ライト系コマンド処理は不適切であるから、エラーにより本フローチャートによる処理が終了される（S113, S106）。

【0071】

上記ステップS86の判別において、同時ミラーリング領域の設定がなされていない（No）と判断された場合には、記憶部12へ情報を書き込むためのライト処理が行われる（S87）。このライト処理には、代替領域への再書き込み可能なライトエラー処理が含まれる。そして、上記ステップS87のライト処理においてエラーが発生した場合に、そのエラーが再書き込み不可のライトエラーか否かの判別が行われる（S88）。この判別において、再書き込み不可のライトエラーではない（No）と判断された場合には、ID情報における制御情報に時間差ミラーリング領域の設定がなされているか否かの判別が行われる（S90）。また、上記ステップS88の判別において、再書き込み不可のライトエラーである（Yes）と判断された場合には、そのエラー情報（1）がRAM114などに保持されてから（S89）、上記ステップS90の判別に移行される。

【0072】

ここで、上記ステップ S 8 6 の判別において、I D 情報における制御情報が同時ミラーリング領域の設定がなされている (Y e s) と判断された場合には、I D 情報の検索が開始され (S 9 7)、個々の I D 情報において、制御情報に同時ミラーリング領域の設定がなされていて、しかも、I D 情報におけるアドレス情報が一致するか否かの判別が行われる (S 9 8)。この判別において、制御情報に同時ミラーリング領域の設定がなされておらず、しかも I D 情報におけるアドレス情報が一致しない (N o) と判断された場合には、そのエラー情報が R A M 1 1 4 などに保持されてから (S 9 9)、上記ステップ S 8 7 のライト処理に移行される。また、上記ステップ S 9 8 の判別において、制御情報に同時ミラーリング領域の設定がなされており、しかも I D 情報におけるアドレス情報が一致する (Y e s) と判断された場合には、上記ステップ S 9 7 の検索処理で検索されたアドレス情報の領域に対して、ミラーリングのためのライト処理が行われる (S 1 0 0)。ここでこのライト処理には、代替領域への再書き込み可能なライトエラー処理が含まれる。そして、上記ステップ S 1 0 0 のライト処理においてエラーが生じた場合において、それが再書き込み不可のライトエラーか否かの判別が行われる (S 1 0 1)。この判別において、再書き込み不可のライトエラーではない (N o) と判断された場合には、上記ステップ S 9 0 の判別に移行される。また、上記ステップ S 1 0 1 の判別において、再書き込み不可のライトエラーである (Y e s) と判断された場合には、そのエラー情報 (2) が R A M 1 1 4 などへ保持された後に上記ステップ S 9 0 の判別に移行される。

【 0 0 7 3 】

上記ステップ S 9 0 の判別において、I D 情報における制御情報に時間差ミラーリング領域の設定がなされている (Y e s) と判断された場合には、I D 情報の検索が開始され (S 9 1)、個々の I D 情報において、制御情報に時間差ミラーリング領域の設定がなされていて、しかも、I D 情報におけるアドレス情報が一致するか否かの判別が行われる (S 9 2)。この判別において、制御情報に時間差ミラーリング領域の設定がなされていて、しかも、I D 情報におけるアドレス情報が一致する (Y e s) と判断された場合には、ミラーリング開始条件が成立したか否かの判別が行われる (S 9 3)。ここで、ミラーリング開始条件とし

ては、特に制限されないが、時間差ミラーリングの条件として予め設定された時間がタイマーによって計測された場合や、前ライト処理が終了したことが挙げられる。

【0074】

上記ステップS93の判別において、時間差ミラーリング開始条件が成立した（Yes）と判断された場合には、検索されたアドレス情報に対応する記憶領域にミラーリングのためのライト処理が行われる（S94）。そしてこのライト処理が完了した後に、ID情報における書き換え／消去回数（B0～B4）がインクリメントされることによって更新される。また、上記ステップS90の判別において、ID情報における制御情報に時間差ミラーリング領域の設定がなされていない（No）と判断された場合には、ミラーリングは不要であるから上記ミラーリングのための処理を行うことなく、上記ステップS95のインクリメント処理に移行される。

【0075】

次に、上記ID情報における書き換え／消去回数（B0～B4）が、データの信頼性を考慮して予め指定された値に達したか否かの判別が行われる（S103）。この判別において、ID情報における書き換え／消去回数（B0～B4）が、予め指定された値に達していない（No）と判断された場合には、再書き込み不可のライトエラーを生じたか否かの判別が行われる（S104）。この判別において、再書き込み不可のライトエラーを生じていない（No）と判断された場合には、ミラーリング情報が保持され、本フローチャートによる処理が終了される（S105，S106）。また、上記ステップS103の判別において、ID情報における書き換え／消去回数（B0～B4）が、予め指定された値に達した（Yes）と判断された場合、及び上記ステップS104の判別において、再書き込み不可のライトエラーを生じた（Yes）と判断された場合、さらには上記ステップS96でエラー情報が保持された後に、ID情報における予備領域情報にスペアが設定されているか否かの判別が行われる（S107）。この判別において、ID情報における予備領域情報にスペアが設定されている（Yes）と判断された場合には、ID情報の検索が開始され（S108）、個々のID情報に

において、制御情報にスペア領域の設定がなされていて、しかも、ID情報におけるアドレス情報が一致するか否かの判別が行われる（S109）。この判別において、制御情報にスペア領域の設定がなされていて、しかも、ID情報におけるアドレス情報が一致する（Yes）と判断された場合には、スペア処理が行われ（S110）、スペア処理が完了したか否かの判別が行われる（S111）。この判別において、スペア処理が完了した（Yes）と判断された場合には、スペア情報が保持され、本フローチャートによる処理が終了される（S105, S106）。また、上記ステップS107の判別において、ID情報における予備領域情報にスペアが設定されていない（No）と判断された場合、及び上記ステップS109の判別において、制御情報にスペア領域の設定がなされておらず、しかも、ID情報におけるアドレス情報が一致しない（No）と判断された場合、さらには上記ステップS111の判別において、スペア処理が完了していない（No）と判断された場合には、上記エラー情報（1），（2）が保持されているか否かの判別が行われる（S112）。この判別において、上記エラー情報（1），（2）が保持されていない（No）と判断された場合には、スペア情報が保持され、本フローチャートによる処理が終了される（S105, S106）。また、上記ステップS112の判別において、上記エラー情報（1），（2）が保持されている（Yes）と判断された場合には、エラーにより本フローチャートによる処理が終了される（S113, S106）。

【0076】

図12には、図7におけるその他のコマンド処理（S37）の詳細な流れが示される。特に制限されないが、その他のコマンドは、「代替空き領域チェック」を指示するコマンドとされる。

【0077】

情報処理部11において、その他のコマンド処理が開始されると（S121）、先ずRAM114内に展開されているID情報が参照され（S122）、代替領域の代替可能セクタ数チェックが開始される（S123）。この代替領域の代替可能セクタ数チェックにおいて、代替可能セクタ数が、指定した数以上か否かの判別が行われる（S124）。この判別において、代替可能セクタ数が、指定

した数以上である (Y e s) と判断された場合には、その情報を得ることにより、本フローチャートによる処理が終了される (S 1 2 5)。

【0 0 7 8】

また、上記ステップ S 1 2 4 の判別において、代替可能セクタ数が、指定した数以上ではない (N o) と判断された場合には、I D 情報における予備領域情報にスペアが設定されているか否かの判別が行われる (S 1 2 6)。図 5 に示されるように I D 情報の予備領域情報であるバイト B 1 0, B 1 1 が、「0 0 0 0 _ 0 1 0 0」、「0 0 0 0 _ 0 1 1 1」、「0 0 0 0 _ 1 1 1 1」、「0 0 0 0 _ 0 1 1 0」、「0 0 0 0 _ 1 1 1 0」の何れかであれば、それは「スペアあり」を意味する。上記ステップ S 1 2 6 の判別において、スペアがある (Y e s) と判断された場合には、I D 情報の検索が開始され (S 1 2 7)、制御情報にスペア領域の設定がなされていて、しかも、スペア元のチップイネーブル信号及びアドレスが、スペア先の I D 情報におけるアドレス情報に一致するか否かの判別が行われる (S 1 2 8)。この判別において、制御情報にスペア領域の設定がなされていて、しかも、I D 情報におけるアドレス情報が一致する (Y e s) と判断された場合には、それは代替のためのスペアを意味するから、記憶領域の代替を可能とするためのスペア処理が行われる (S 1 2 9)。このスペア処理には、代替領域への再書き込みを可能とするライトエラー処理が含まれる。そしてスペア処理が完了したか否かの判別が行われる (S 1 3 0)。この判別においてスペア処理が完了した (Y e s) と判断された場合には、そのスペア情報が保持された後に本フローチャートによる処理が終了される (S 1 3 1, S 1 2 5)。また、上記ステップ S 1 2 6 の判別において、スペア処理が完了しないと判断された場合、及び上記ステップ S 1 2 8 の判別において、制御情報にスペア領域の設定がなされておらず、しかも、I D 情報におけるアドレス情報が一致しない (N o) と判断された場合、さらには上記ステップ S 1 3 0 においてスペア処理が完了していない (N o) と判断された場合には、エラーにより本フローチャートによる処理が終了される (S 1 3 2, S 1 2 5)。

【0 0 7 9】

次に、上記 I D 情報の編集について説明する。

【 0 0 8 0 】

図 1 3 には I D 情報の編集についての処理の流れが示される。また、図 1 2 には I D 情報の編集における信号の伝達経路が示される。

【 0 0 8 1 】

初期状態のモードは、通常モードとされる (S 1 4 1) 。コマンドが与えられたか否かの判別が行われ (S 1 4 2) 、この判別において、コマンドが与えられた (Y e s) と判断されたなら、そのコマンド解析が行われる。先ず、そのコマンドが I D 情報編集モードへの遷移を指示するものか否かの判別が行われる (S 1 4 3) 。この判別において、 I D 情報編集モードへの遷移を指示するものである (Y e s) と判断された場合には、動作モードは、それまでの通常モードから I D 情報編集モードへ遷移され (S 1 4 4) 、コマンド入力待ち状態に戻る。また、上記ステップ S 1 4 3 の判別において、 I D 情報編集モードへの遷移を指示するものではない (N o) と判断された場合には、 I D 情報編集モードの解除を指示するものであるか否かの判別が行われる (S 1 4 5) 。この判別において、 I D 情報編集モードの解除を指示するものである (Y e s) と判断された場合には、それまでの I D 編集モードから通常モードへ遷移され (S 1 4 6) 、コマンド入力待ち状態に戻る。また、上記ステップ S 1 4 5 の判別において I D 編集モードの解除を指示するものではない (N o) と判断された場合には、そのコマンドが I D 情報編集コマンドか否かの判別が行われる (S 1 4 7) 。この判別において、 I D 情報編集コマンドではない (N o) と判断された場合には、モードが通常モードにされ、通常コマンド処理が行われた後に、コマンド入力待ち移行される。上記ステップ S 1 4 7 の判別において、 I D 情報編集コマンドである (Y e s) と判断された場合には、現在のモードの判別が行われる (S 1 4 8) 。この判別において、通常モードであると判断された場合には、エラーであり (S 1 5 5) 、コマンド入力待ち状態に移行される。上記ステップ S 1 4 8 の判別において、 I D 情報編集モードであると判断された場合には、ホスト機器 2 0 から R A M 1 1 4 への書き込みコマンドであるか否かの判別が行われる (S 1 4 9) 。この判別において、ホスト機器 2 0 から R A M 1 1 4 への書き込みコマンドではない (N o) と判断された場合には、 R A M 1 1 4 から記憶部 1 2 への書き込み

コマンドか否かの判別が行われる（S150）。また、上記ステップS149の判別においてホスト機器20からRAM114への書き込みコマンドである（Yes）と判断された場合には、ホスト機器20からRAM114へのID情報書き込みが行われた後に（S156）、上記ステップS150の判別に遷移される。

【0082】

上記ステップS150の判別において、RAM114から記憶部12への書き込みコマンドではない（No）と判断された場合には、記憶部12からRAM114への読み出しコマンドであるか否かの判別が行われる（S151）。また、上記ステップS150の判別においてRAM114から記憶部12への書き込みコマンドである（Yes）と判断された場合には、RAM114から記憶部12へのID情報書き込みが行われた後に（S157）、上記ステップS151の判別に遷移される。上記ステップS151の判別において、記憶部12からRAM114への読み出しコマンドではない（No）と判断された場合には、RAM114からホスト機器20への読み出しコマンドであるか否かの判別が行われる（S151）。この判別において、記憶部12からRAM114への読み出しコマンドではない（No）と判断された場合には、RAM114からホスト機器20への読み出しコマンドか否かの判別が行われる、この判別において、RAM114からホスト機器20への読み出しコマンドではない（No）と判断された場合には、コマンド入力待ちに遷移される。また、上記ステップS152の判別において、RAM114からホスト機器20への読み出しコマンドである（Yes）と判断された場合には、RAM114からホスト機器20へのID情報読み出しが行われた後（S159）に、上記ステップS142のコマンド入力待ちに遷移される。

【0083】

図15には、セクタあるいはブロック単位にID情報を格納する場合の記憶装置の構成例が示される。

【0084】

図15に示される構成が、図1に示されるのと大きく相違するのは、メモリ1

4, 15, 16, 17においてそれぞれID情報の記憶エリアが設けられ、このID情報の記憶エリアに、それぞれメモリ14, 15, 16, 17に対応するID情報が格納されている点である。例えばメモリ14に着目すると、このメモリ14には、データ部とそれに対応する管理部とが設けられ、このデータ部や管理部に対応してID情報が割り当てられる。ID情報自体は、図5に示されるのと同じである。このID情報によって、対応するデータ部の個別制御が可能とされる。その他のメモリ14, 15, 16, 17においてもメモリ内部構成は上記メモリ14と同様とされる。

【0085】

図16には、図15に示される構成を採用した場合のID情報のテーブル構成例が示される。この例では、グループ0が通常リード/ライト領域に設定され、グループ1がリードオンリー領域に設定され、グループ2がスベア領域に設定される。また、メモリ14, 15, 16, 17はそれぞれ代替領域や管理情報を有しており、この代替領域や管理領域のID情報も割り当てられる。ただし、この代替領域や管理情報は、本来メモリを管理する領域であり、ID情報によって属性を持たせるのは不適切であるため、当該ID情報は全て“00”が割り当てられることで個別制御の対象外とされる。もちろん、このID情報を書き換えることによって個別制御が可能とされる。このため、代替領域や管理領域の変更に対してはID情報の書き換えのみで対処できる。

【0086】

尚、ID情報の初期化処理や、ID情報の通常処理の通常処理、リード系コマンド処理、ライト系コマンド処理、その他のコマンド処理、ID情報編集処理の基本的な流れは、図6～図13に示されるのと同様とされる。ただし、本例ではセクタあるいはブロック単位にID情報を格納しており、ID情報のテーブルがRAM114には展開されない。このため、ID情報の参照においては、RAM114ではなく、RAMに展開されたものではなく、メモリ14～17に格納されているID情報が個別的に参照される。

【0087】

上記の例によれば、以下の作用効果を得ることができる。

【0088】

(1) 外部からのアクセスに対して記憶領域毎の個別制御を可能とするID情報がID情報格納用メモリ13内にテーブル化され、上記ID情報の制御情報(B12, B13)において、リードオンリー領域が設定されている場合には、当該領域からデータを読み出すことができても、当該領域へデータを書き込むことは禁止されることから、リードオンリー領域が設定されている記憶領域に存在するデータが一般ユーザに誤って書き換えや消去されたくないデータがある場合に、それを、リードオンリー領域が設定されている記憶領域に置くだけで、当該データを保護することができる。

【0089】

(2) ID情報の制御情報(B12, B13)において、ライトオンリー領域が設定されている場合には、それに基づいて当該領域からのデータ読み出しを禁止することができるので、例えばユーザの利用状況などのログをとりたい場合において、当該ログを置いておく領域をライトオンリー領域に指定することで、当該ログをユーザに読まれないようにすることができる。

【0090】

(3) ID情報の制御情報(B12, B13)において、同時ミラーリング領域が設定されていれば、このID情報によって管理される領域は、同時ミラーリングに使用することができるので、他の記憶領域に記憶されたデータのバックアップが可能とされるので、訂正不可能なエラーを生じた場合に、そのデータに代えて上記同時ミラーリングされたデータを使用することができる。

【0091】

(4) ID情報の制御情報(B12, B13)において、時間差ミラーリング領域が設定されていれば、このID情報によって管理される領域は、時間差ミラーリングに使用することができるので、他の記憶領域に記憶されたデータを、所定の時間差をもってバックアップすることができるので、訂正不可能なエラーを生じた場合に、そのデータに代えて上記時間差ミラーリングされたデータを使用することができる。

【0092】

(5) ID情報の制御情報(B12, B13)において、スペア領域が設定されていれば、このID情報によって管理される領域は、スペア領域として使用することができる。

【0093】

(6) ID情報に書き換え回数/消去回数の情報(B0~B4)が含まれ、記憶領域の書き換えや消去が行われる毎に、書き換え回数/消去回数がインクリメントされることにより、書き換え回数/消去回数が、予め指定した回数に達した場合に、当該記憶領域に代えてスペア領域を使用することで、データの信頼性の向上を図ることができる。

【0094】

(7) ID情報の編集は、ホスト機器20から所定のコマンドを与えることで実現される管理情報編集ステップにおいてのみ編集することができるようになっていたため、ID情報がユーザによって不用意に書き換えられるのを回避することができる。また、ホスト機器20から所定のコマンドを与えることでID情報編集ステップに遷移されてID情報編集の編集が可能とされるため、記憶装置10の用途に応じて、領域毎の個別制御の内容を容易に変更することができる。

【0095】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0096】

例えば、図17、図18に示されるように、情報処理部201をホスト機器20内に設ける用にしても良い。情報処理部201はハードウェアによって構成されるもので、機能的にはそれぞれ図1、図15に示される情報処理部11に相当する。つまり、図1や図15に示される記憶装置10では、情報処理部11を内蔵しているが、この情報処理部11と同一機能を有する回路を、ホスト機器20に搭載すれば、情報処理部201に相当するものを記憶装置10内に設ける必要がなくなるため、記憶装置10の小型・軽量化を図る上で効果的とされる。

【0097】

また、図19に示されるように、MPU112にRAM114が内蔵される場合もある。この場合、ID情報は、MPU112に内蔵されたRAM114に展開し、MPU112での情報処理の際にそれを参照することができる。データバッファ117は、バッファコントロール部113の制御下で、データ転送のバッファリングを行う。

【0098】

さらに、図20に示されるように、ID情報に関する制御を行うための専用ハードウェアであるID情報制御部116を設け、外部からのアクセスに対して記憶領域毎の個別制御を、このID情報制御部116によって行うよう構成することができる。この場合、外部からのアクセスに対して記憶領域毎の個別制御を、専用ハードウェアであるID情報制御部116によって行うことができるため、同処理をMPU112で行うのに比べて、処理の高速化を図ることができる。

【0099】

図21に示されるように、メモリ毎に、ID情報格納領域を設け、このID情報格納領域に、メモリ毎のID情報を一括して格納するようにしても良い。

【0100】

また、図22(B)に示されるように、メモリ14、15、16、17における代替領域②や管理領域③については、図22(A)に示されるようにID情報を割り当てないようにしても良い。図22に示される例では、メモリ14、15、16、17におけるアドレス「0x20000」以降は代替領域②や管理領域③であり、それについてのID情報の割り当ては省略される。このようにすれば、代替領域②や管理領域③にID情報を割り当てない分、ID情報格納領域の記憶容量の低減を図ることができる。

【0101】

上記の例では、ID情報の制御情報として、リードオンリー領域、ライトオンリー領域、同時ミラーリング領域、時間差ミラーリング領域を含むものについて説明したが、そのうちの少なくともひとつを含むことにより、その効果を得ることができる。また、ID情報の制御情報として上記各領域のうちのどれを組み合わせるかは任意とされる。

【 0 1 0 2 】

上記の例では記憶部 1 2 が 5 個の半導体メモリチップ (1 3 , 1 4 , 1 5 , 1 6 , 1 7) によって形成されたが、この半導体メモリチップの数に限定されない。記憶部 1 2 は、少なくとも 1 個の半導体メモリチップによって形成することができる。

【 0 1 0 3 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるカード状に形成された記憶装置に適用した場合について説明したが、本発明はそれに限定されるものではなく、各種記憶装置に広く適用することができる。

【 0 1 0 4 】

本発明は、少なくとも記憶情報の書き換えが可能であることを条件に適用することができる。

【 0 1 0 5 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 1 0 6 】

すなわち、管理情報に、複数の記憶領域のうち予め指定された記憶領域についてのアクセスを制限するための制御情報を含めることで、外部からのアクセスに対しては、この制御情報に従って特定の記憶領域についてのアクセスを制限することができる。

【 0 1 0 7 】

また、上記管理情報に第 1 制御情報が含まれていれば、それに基づいて上記複数の記憶領域のうち予め指定された記憶領域へのデータ書き込みを禁止することができ、それによって当該記憶領域に存在するデータを保護することができる。上記管理情報に第 2 制御情報が含まれていれば、それに基づいて上記複数の記憶領域のうち予め指定された記憶領域からのデータ読み出しを禁止することができるので、当該記憶領域に存在するデータを保護することができる。上記管理情報

に第3制御情報が含まれていれば、それに基づいて上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、複数箇所にほぼ同時に格納することができるので、訂正不可能なデータエラーを生じた場合には、他の記憶領域からのデータを利用することでデータ消失を回避することができる。上記管理情報に第4制御情報が含まれていれば、それに基づいて上記複数の記憶領域のうち予め指定された記憶領域への書き込みデータを、所定の時間差をおいて複数箇所に格納することができるので、訂正不可能なデータエラーを生じた場合に、他の記憶領域からのデータを利用することでデータ消失を回避することができる。上記管理情報には、スベア領域として予め確保されている記憶領域を使用可能にするか否かを識別するための第5制御情報を含めることができ、その場合には、それに基づいて、スベア領域の使用が可能とされるため、特定の記憶領域が使用不可能となった場合に、スベア領域に代替することで記憶容量の減少を回避することができる。

【0108】

上記管理情報に、記憶領域の書き換え回数又は消去回数を示す第6制御情報が含まれていれば、それに基づいて、記憶領域の寿命を把握できるため、当該記憶領域に格納されているデータの信頼性の向上を図ることができる。

【0109】

上記記憶装置と、それをアクセス可能なホスト機器とを含んでデータ処理装置が構成されるとき、上記ホスト機器には、上記管理情報に基づいて上記記憶領域を個別制御するための情報処理部を含めることができる。

【0110】

上記管理情報の編集は、所定のコマンドを与えることで実現される管理情報編集ステップにおいてのみ編集を可能とすることによって、管理情報がユーザによって不用意に書き換えられるのを回避することができる。また、所定のコマンドを与えることで管理情報編集ステップに遷移し、管理情報編集の編集が可能とされるため、記憶装置の用途に応じて、領域毎の個別制御の内容を容易に変更することができる。

【図面の簡単な説明】

【図 1】

本発明にかかる記憶装置の構成例ブロック図である。

【図 2】

上記記憶装置に含まれる情報処理部の構成例ブロック図である。

【図 3】

上記記憶装置に含まれる I D 情報格納用メモリとその他のメモリについての説明図である。

【図 4】

上記 I D 情報格納用メモリ内のテーブルの一例が示される図である。

【図 5】

上記記憶装置で取り扱われる I D 情報の構成例が示される図である。

【図 6】

I D 情報の初期処理の流れが示されるフローチャートである。

【図 7】

I D 情報の通常処理の流れが示されるフローチャートである。

【図 8】

リード系コマンド処理の詳細な流れが示されるフローチャートである。

【図 9】

リード系コマンド処理の詳細な流れが示されるフローチャートである。

【図 1 0】

ライト系コマンド処理の詳細な流れが示されるフローチャートである。

【図 1 1】

ライト系コマンド処理の詳細な流れが示されるフローチャートである。

【図 1 2】

その他のコマンド処理の詳細な流れが示されるフローチャートである。

【図 1 3】

I D 情報編集処理の流れが示されるフローチャートである。

【図 1 4】

上記 I D 情報編集処理における信号の流れの説明図である。

【図 1 5】

上記記憶装置の別の構成例が示されるブロック図である。

【図 1 6】

図 1 5 に示される構成を採用した場合の I D 情報のテーブル構成例説明図である。

【図 1 7】

上記記憶装置の別の構成例ブロック図である。

【図 1 8】

上記記憶装置の別の構成例ブロック図である。

【図 1 9】

上記記憶装置における情報処理部の別の構成例ブロック図である。

【図 2 0】

上記記憶装置における情報処理部の別の構成例ブロック図である。

【図 2 1】

上記記憶装置における I D 情報格納についての別の説明図である。

【図 2 2】

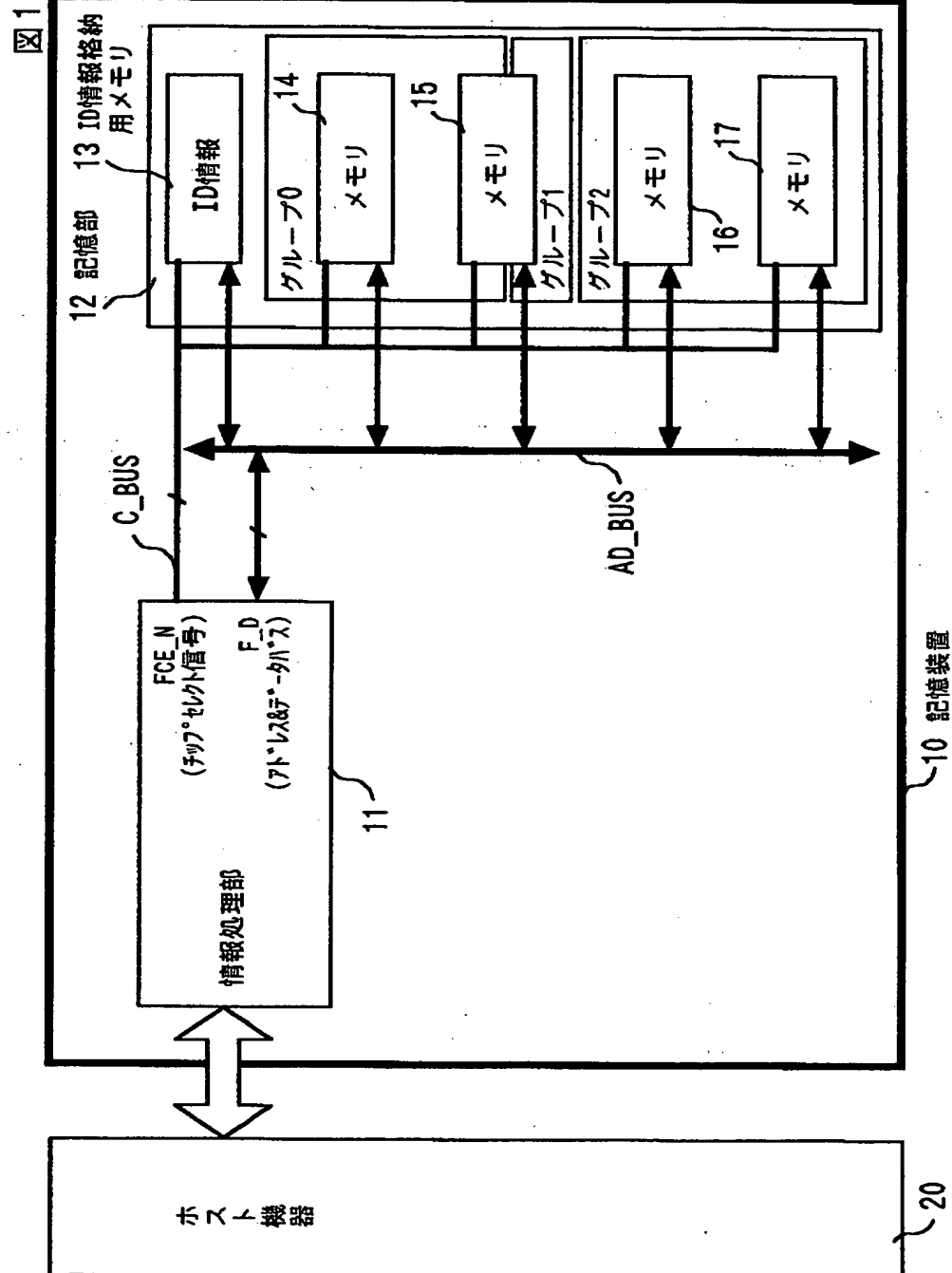
上記記憶装置における I D 情報格納用メモリとその他のメモリについての別の説明図である。

【符号の説明】

- 1 0 記憶装置
- 1 1 情報処理部
- 1 2 記憶部
- 1 3 I D 情報格納用メモリ
- 1 4, 1 5, 1 6, 1 7 メモリ
- 2 0 ホスト機器
- 1 1 2 MPU
- 1 1 3 バッファコントローラ
- 1 1 4 RAM
- 1 1 7 データバッファ

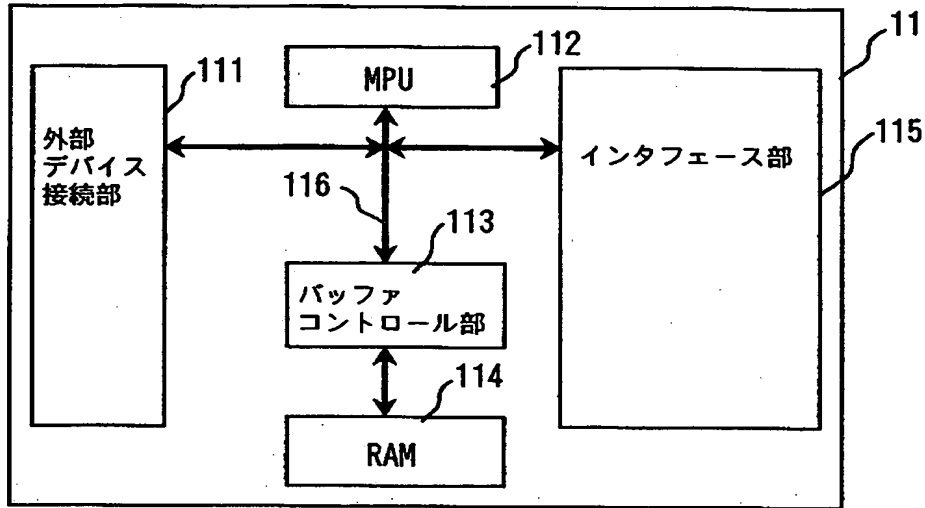
【書類名】 図面

【図1】

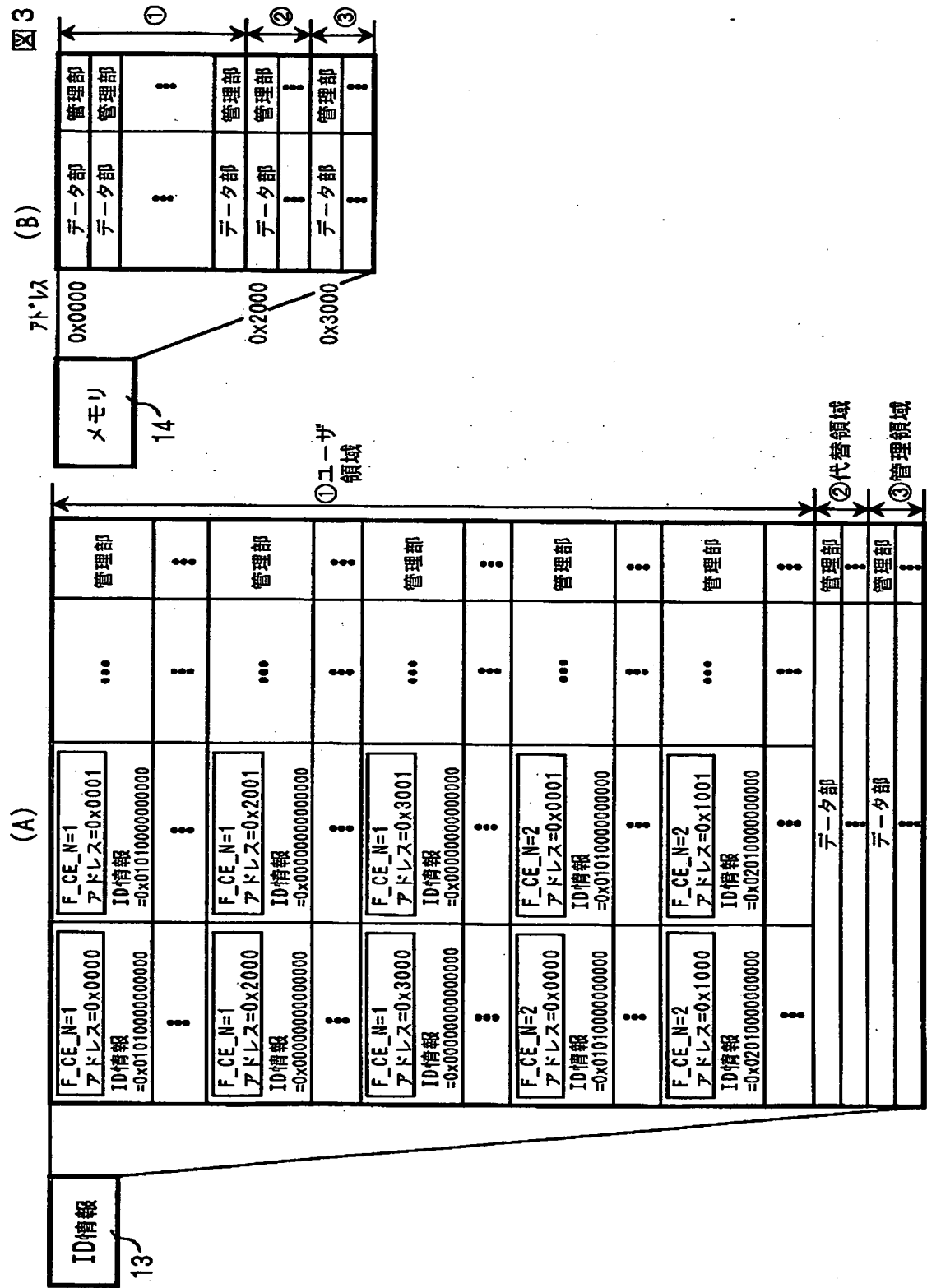


【図2】

図 2



【図3】



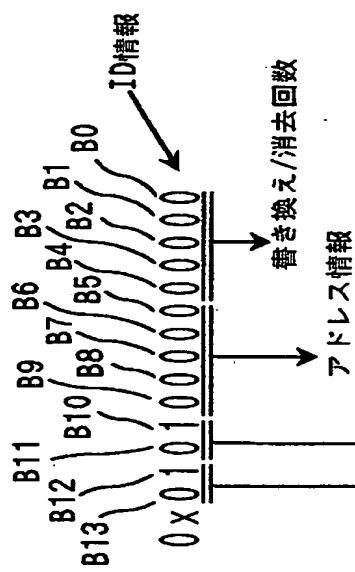
【図 4】

図 4

	F_CE_N	アドレス(F_D)	ID情報	
グループ0	1	0x0000	0x01010000000000	通常 リード/ライト
	⋮	⋮	⋮	
	1	0x1FFF	0x01010000000000	
	2	0x0000	0x01010000000000	
	⋮	⋮	⋮	
グループ1	2	0x0FFF	0x01010000000000	リードオンリー
	2	0x1000	0x02010000000000	
	⋮	⋮	⋮	
	2	0x1FFF	0x02010000000000	
	3	0x0000	0x04001000000000	
グループ2	⋮	⋮	⋮	ミラーリング (時間差)
	4	0x1FFF	0x040021FFF00000	

【図 5】

図 5



予備領域情報

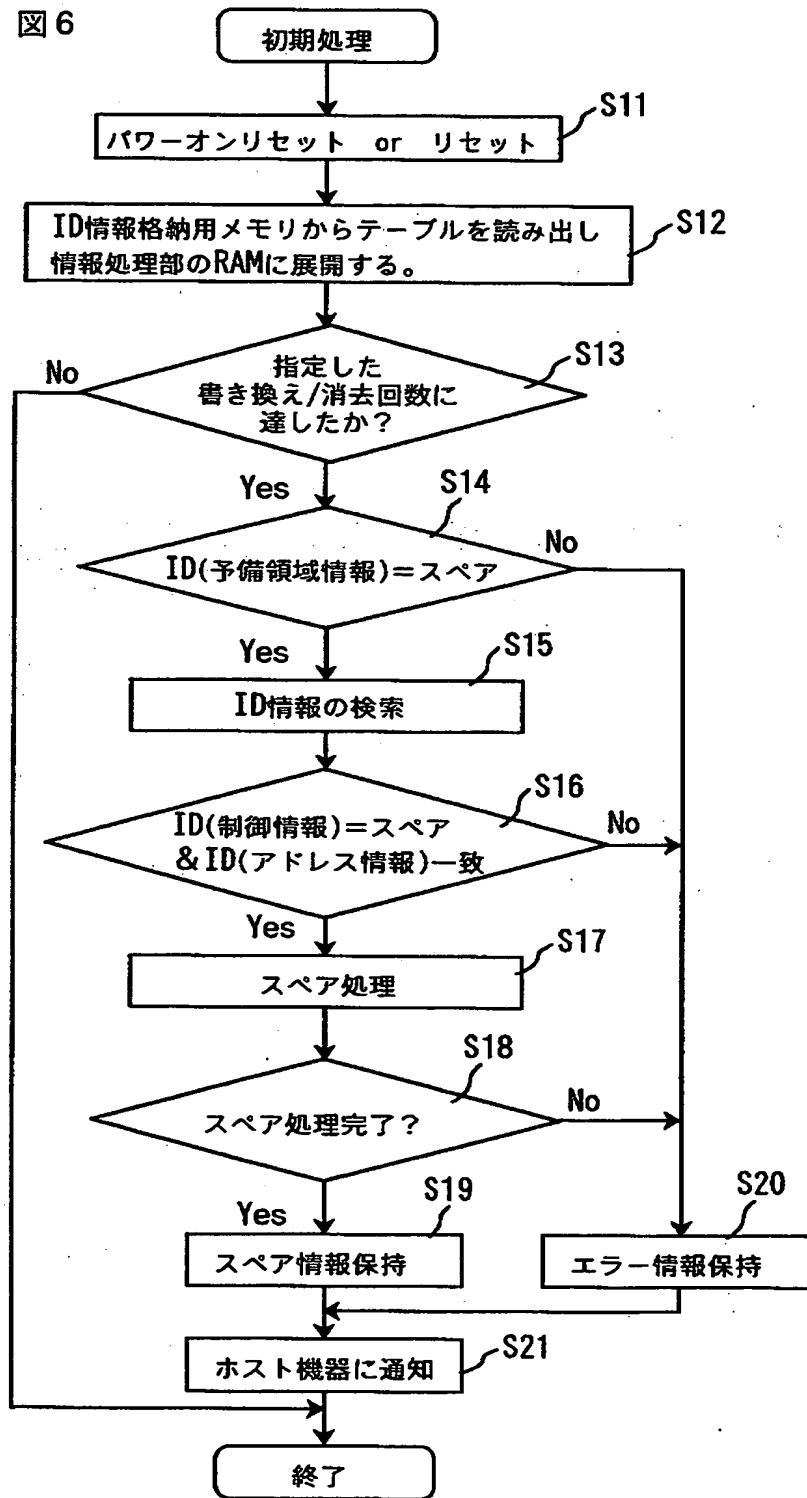
(bit)	ミラーリング (時間差)	ミラーリング (同時)	スベア	スベア優先	スベア 処理
0000_0000	なし	なし	なし	—	—
0000_0001	あり	なし	なし	—	—
0000_0010	なし	あり	なし	—	—
0000_0100	なし	なし	あり	—	—
0000_0111	あり	あり	あり	しない	—
0000_1111	あり	あり	あり	優先	—
0000_0110	なし	あり	あり	しない	—
0000_1110	なし	あり	あり	優先	—
⋮	⋮	⋮	⋮	⋮	⋮
1111_xxxx	—	—	—	—	完了

制御情報

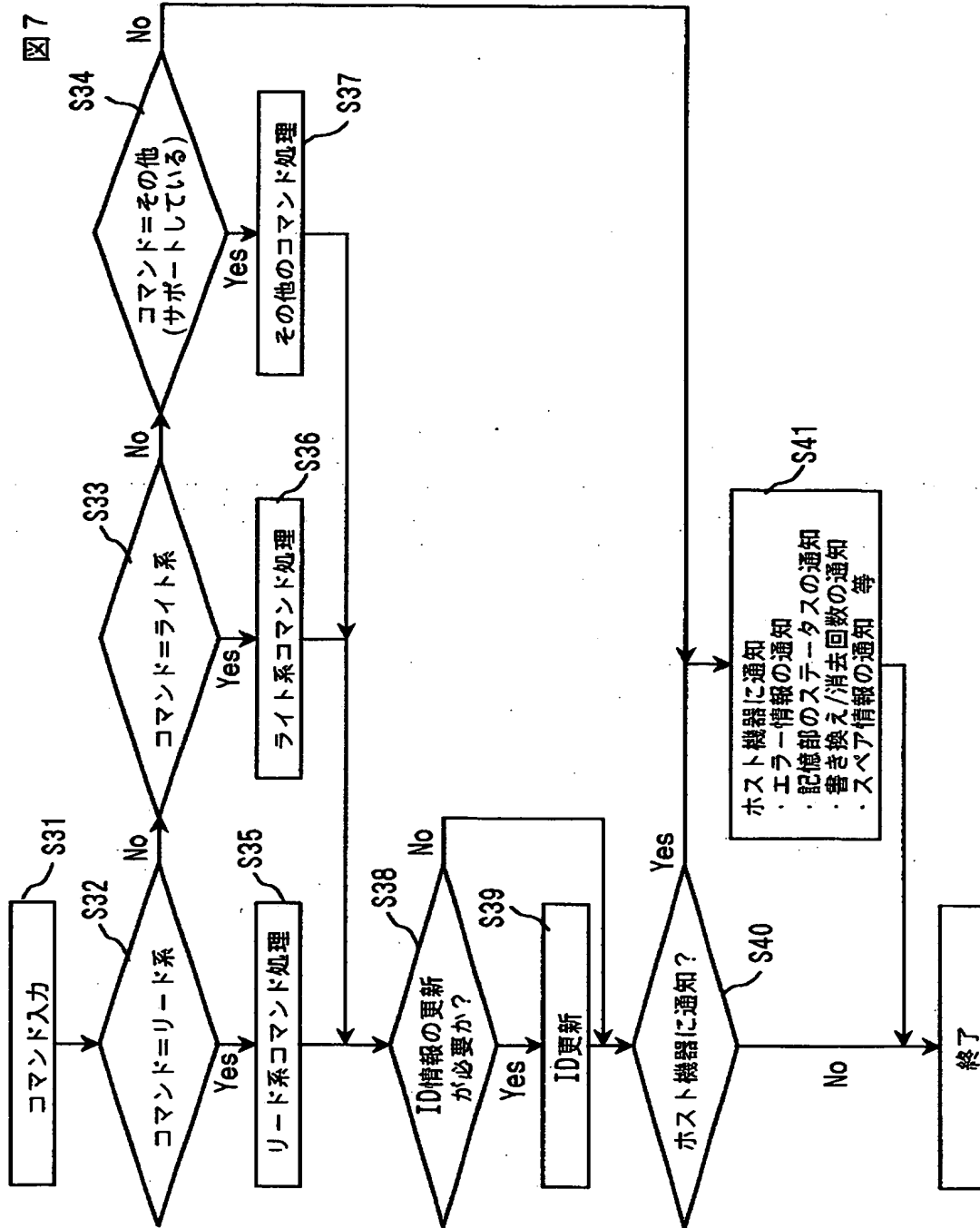
(bit)	制御内容
0000_0001	通常リード/ライト領域
0000_0010	リードオンリー(ライトプロテクト)領域
0000_0011	ライトオンリー領域
0000_0100	ミラーリング(時間差)領域
0000_1000	ミラーリング(同時)領域
1111_xxxx	スベア領域
⋮	⋮

【図 6】

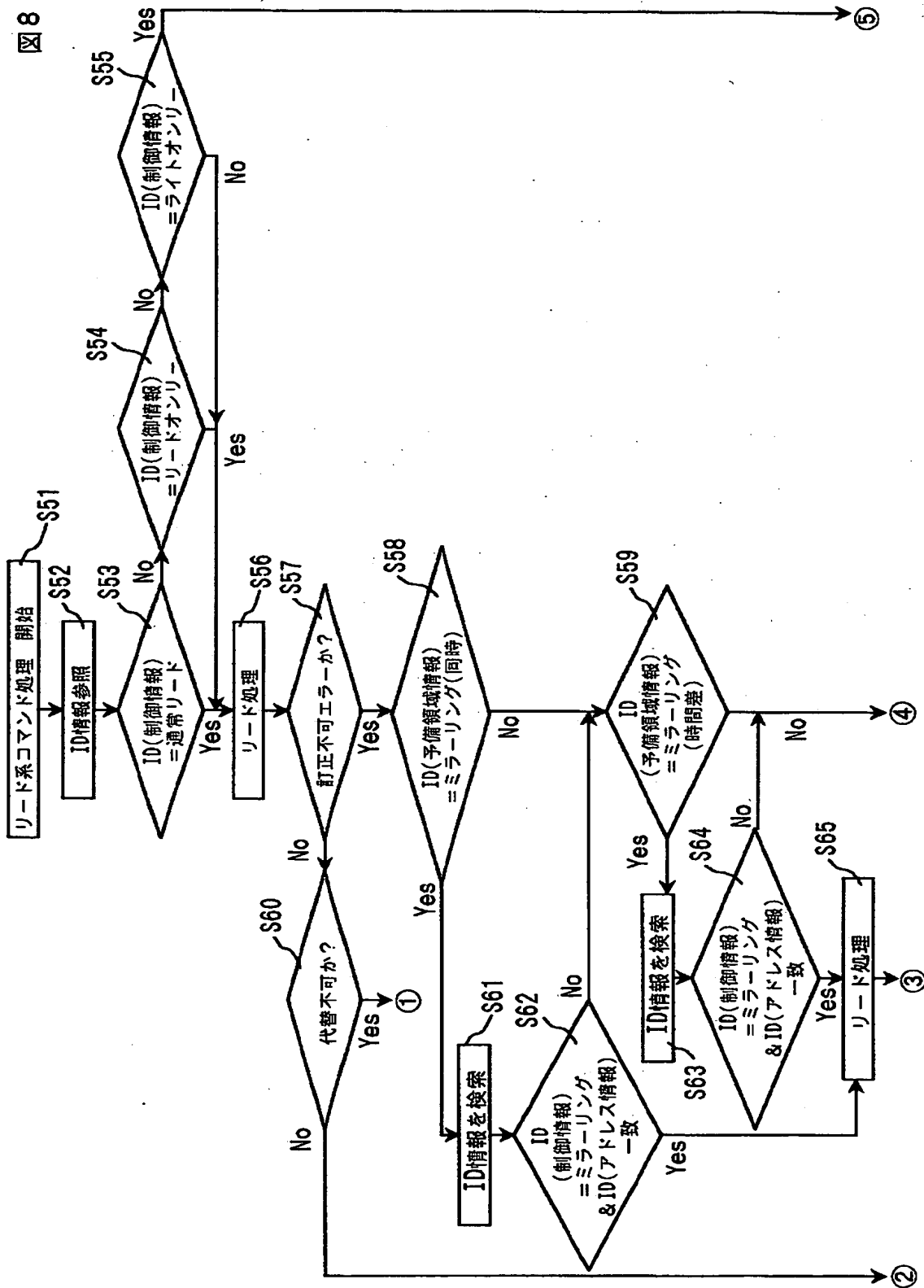
図 6



【図7】

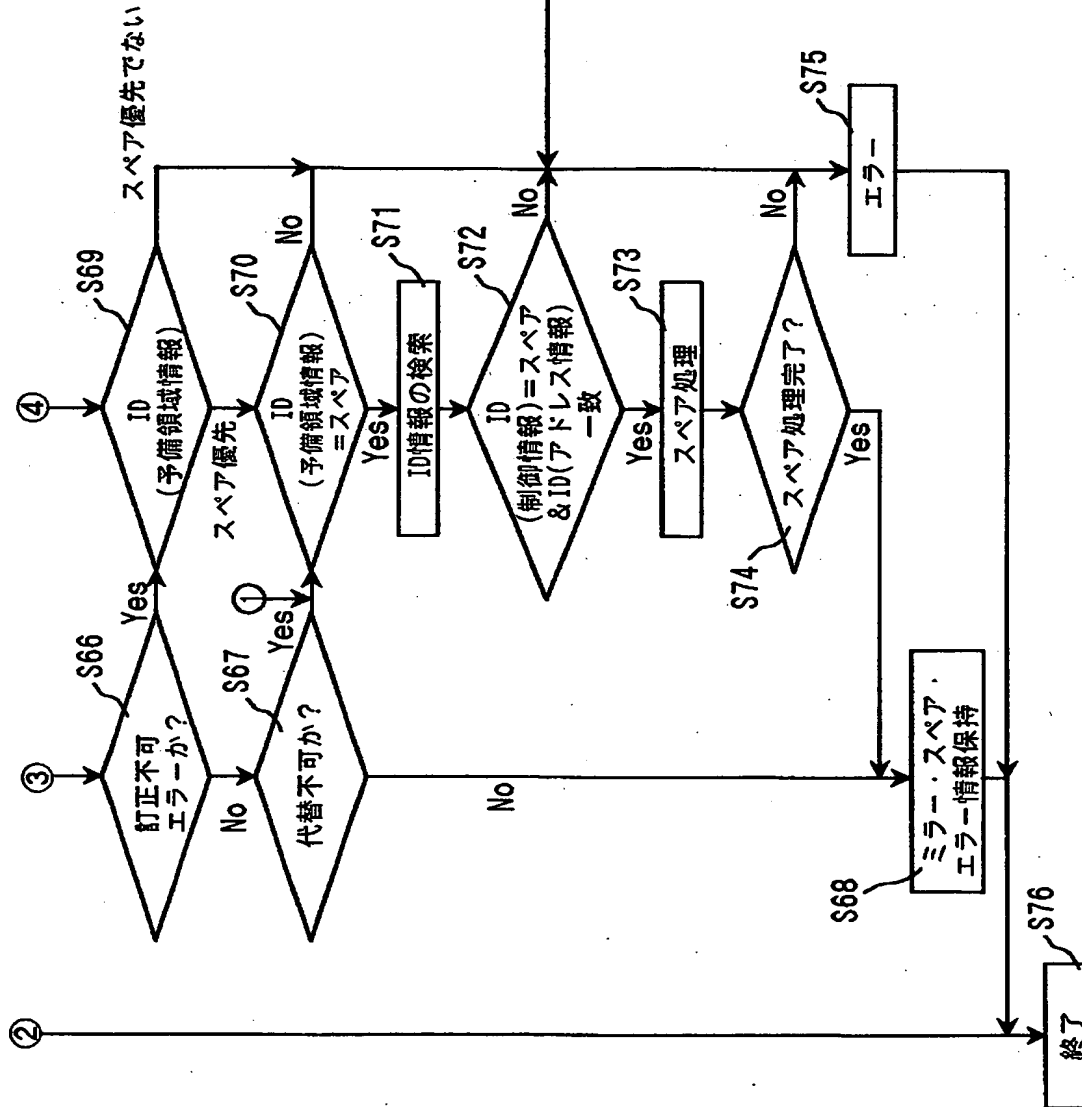


【図 8】



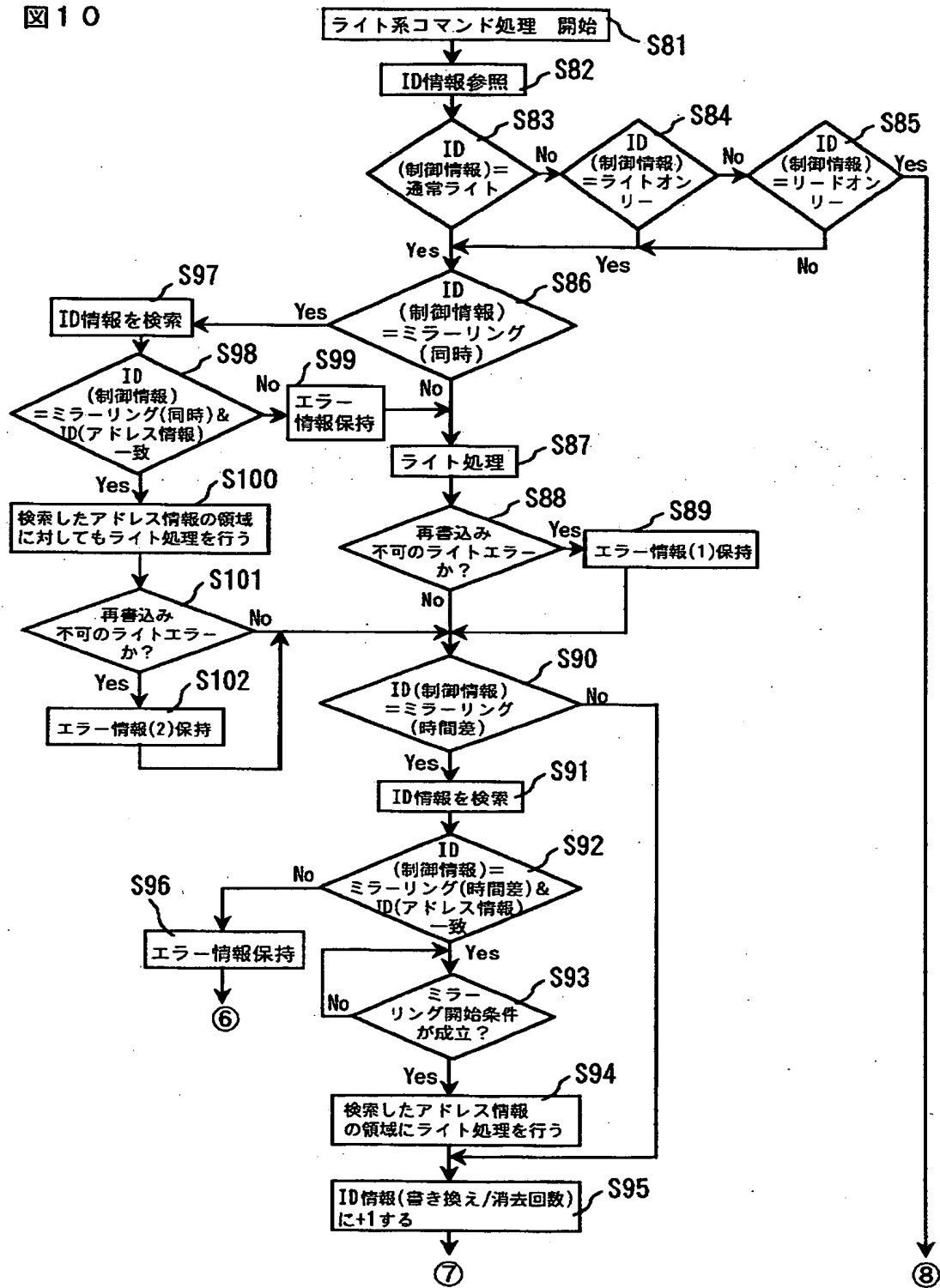
【図9】

図9

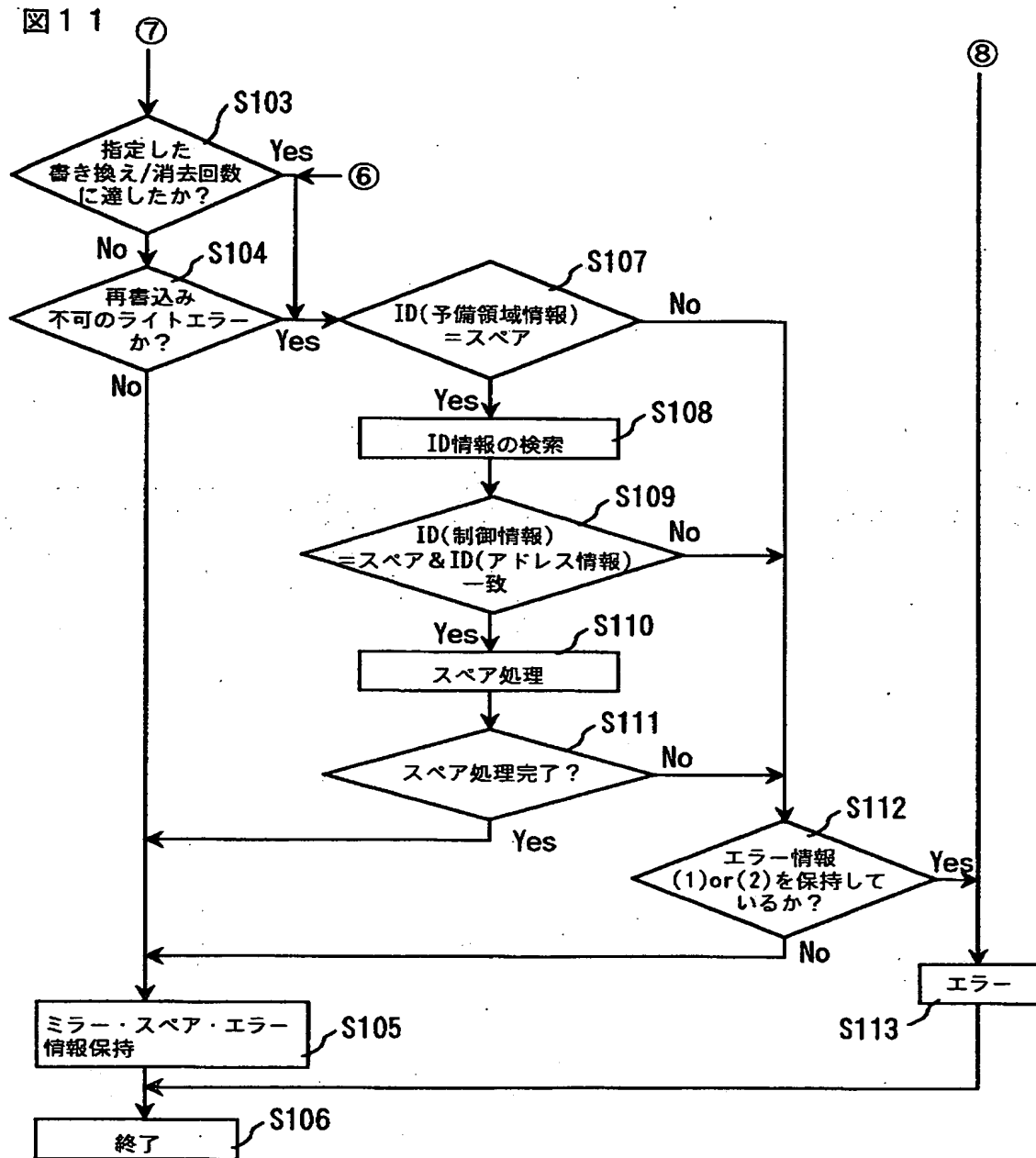


【図10】

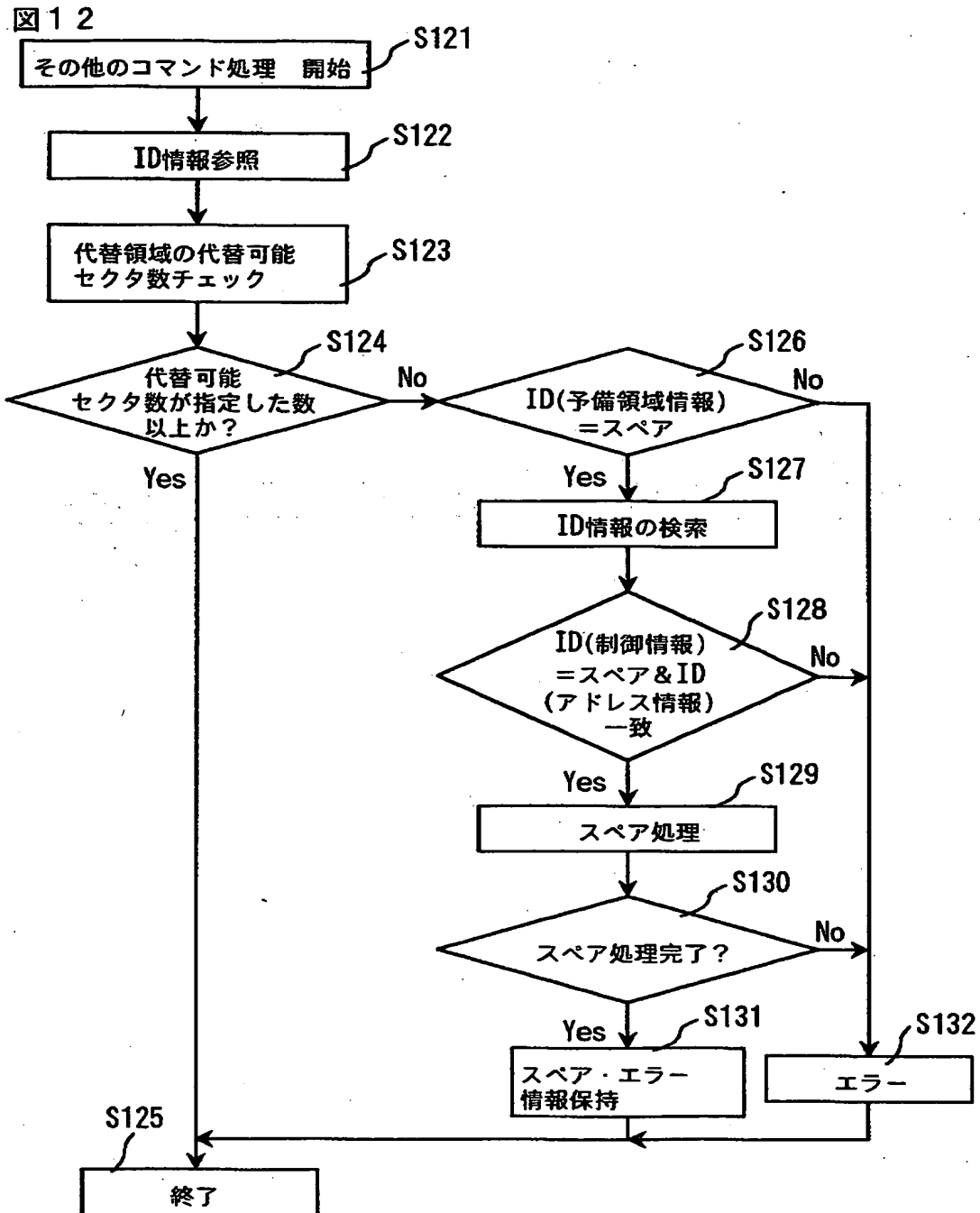
図10



【図11】

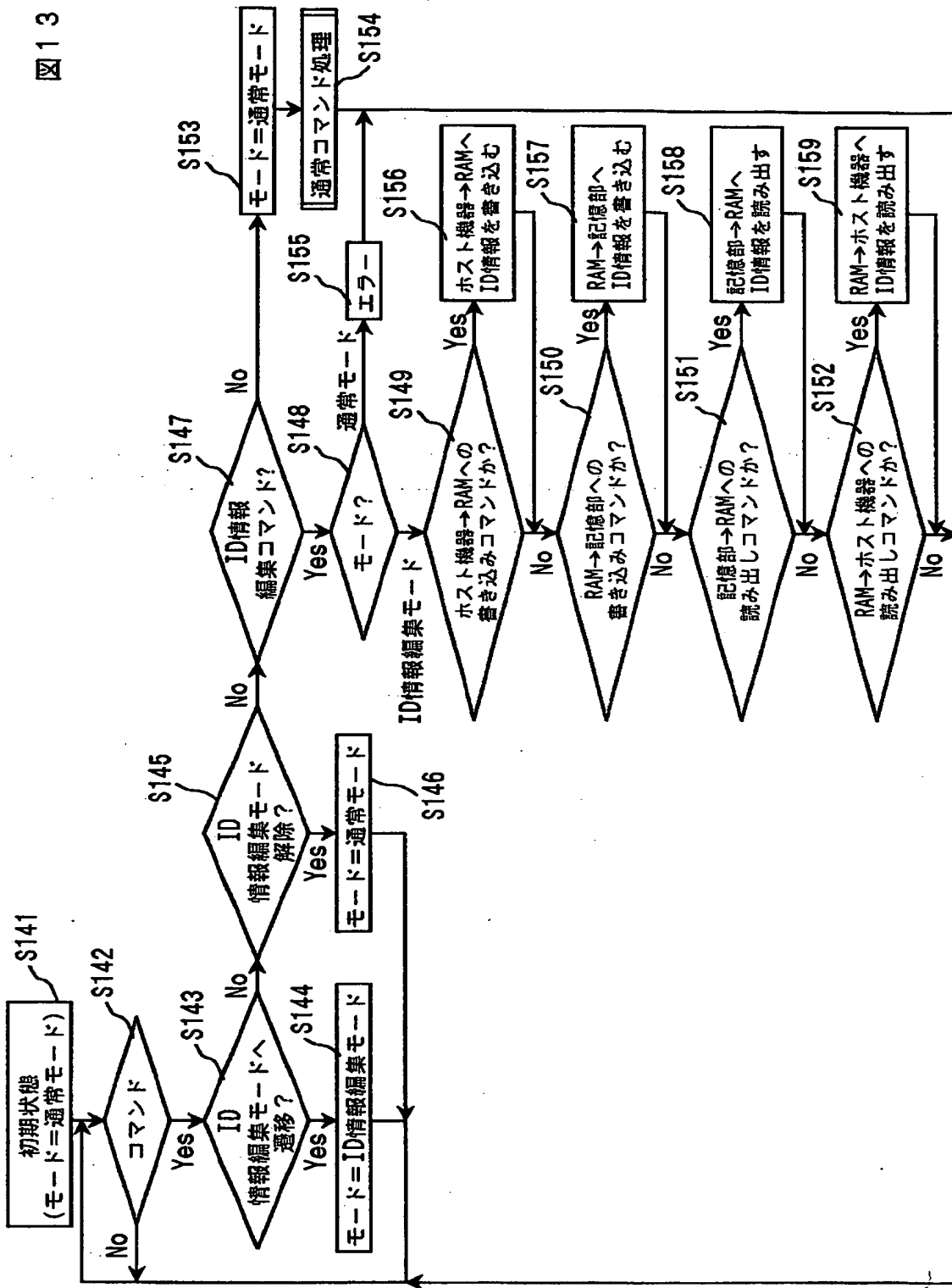


【図 12】

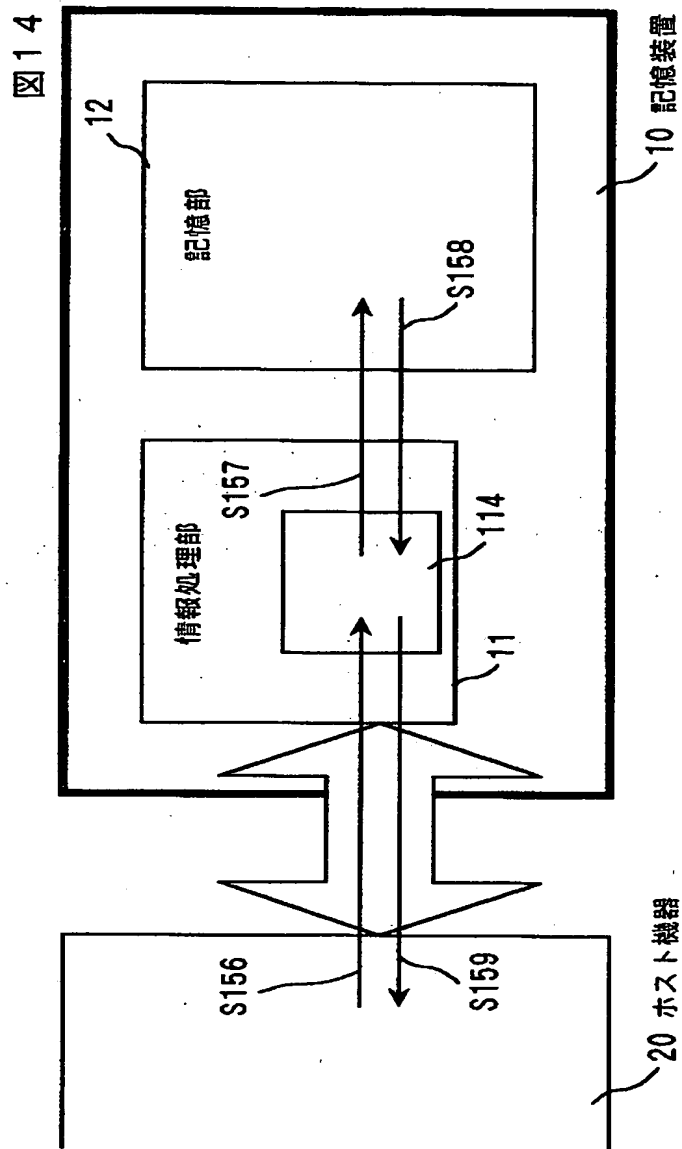


【図 13】

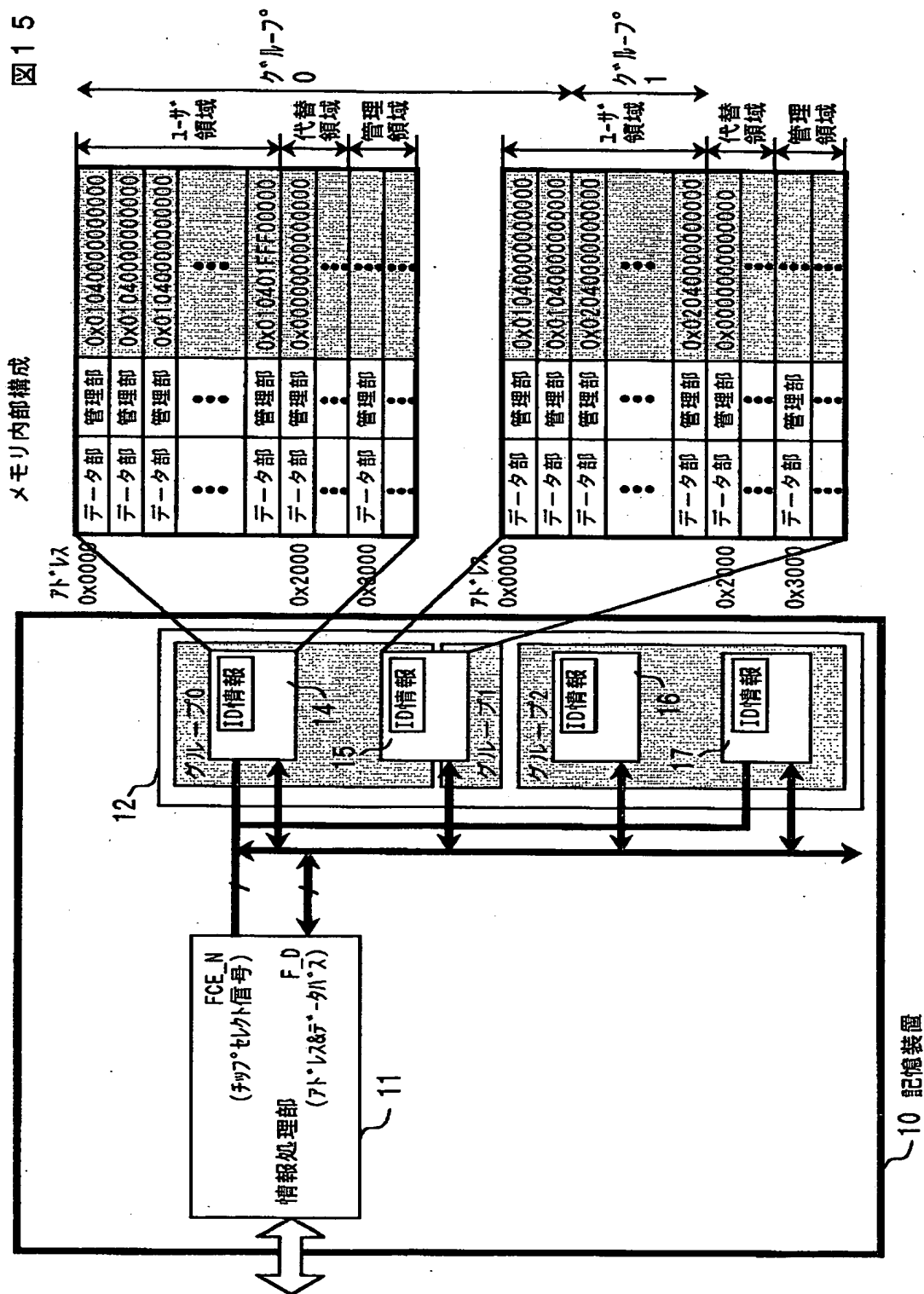
図 13



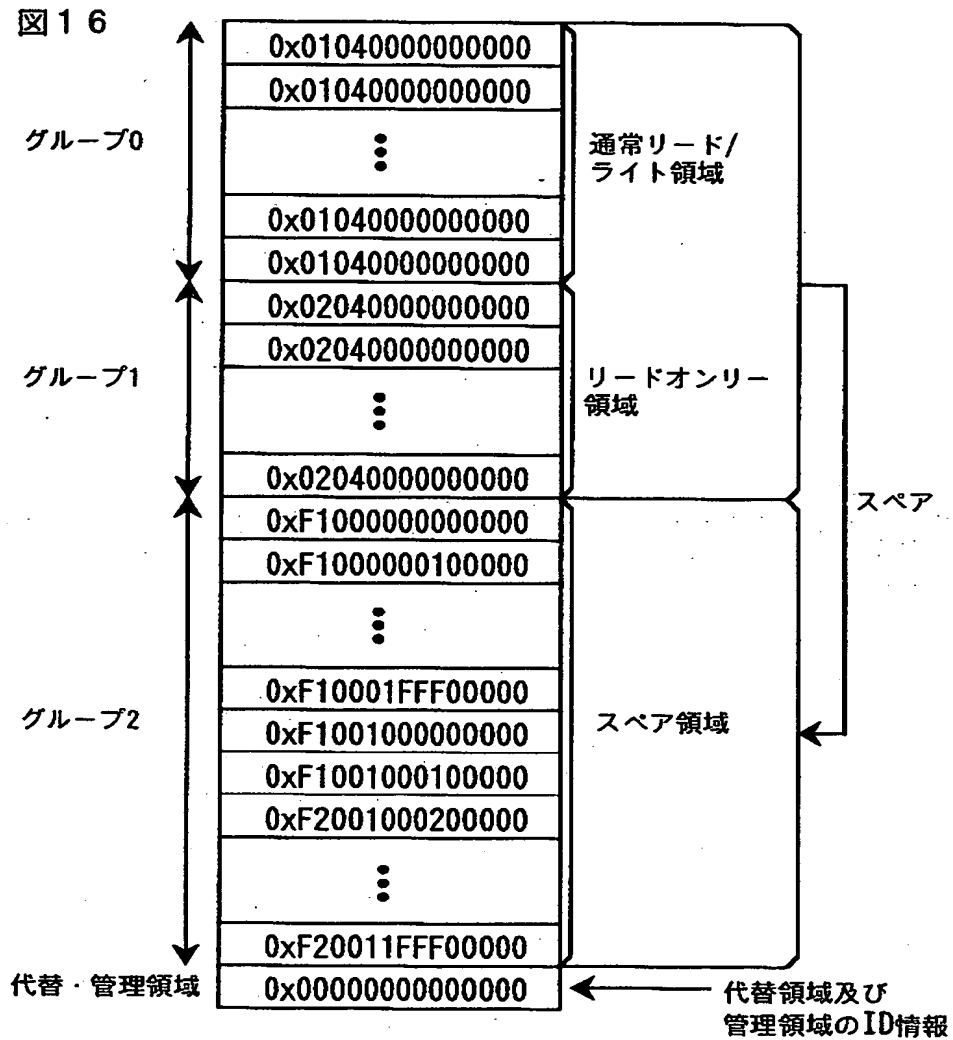
【図14】



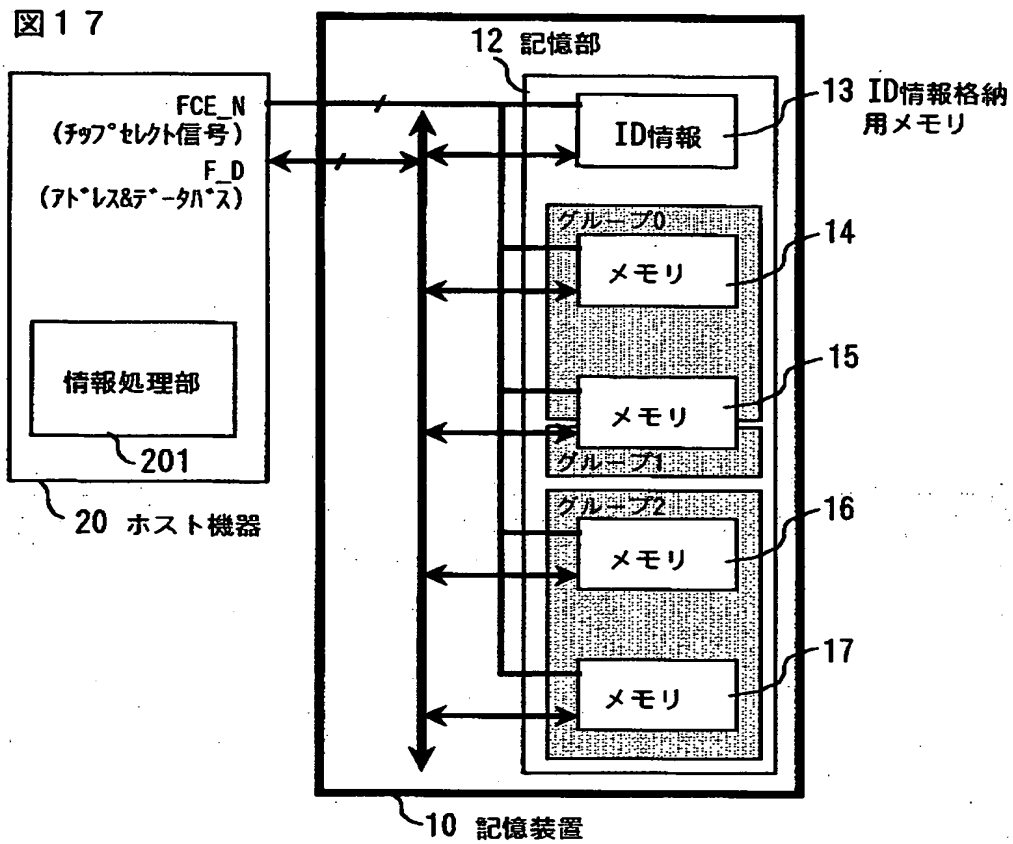
【図 15】



【図 16】

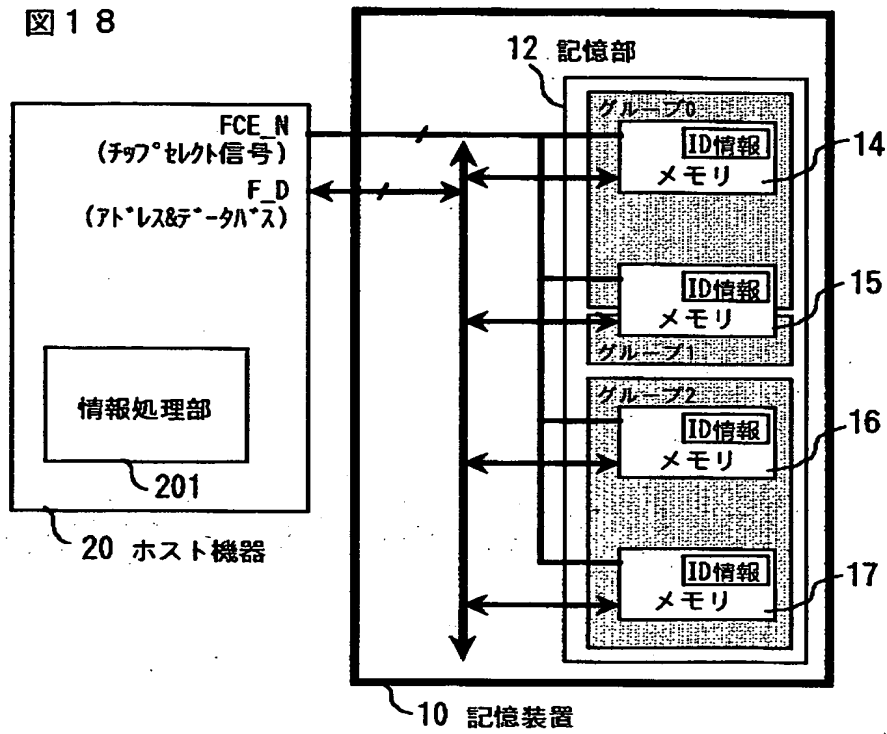


【図17】



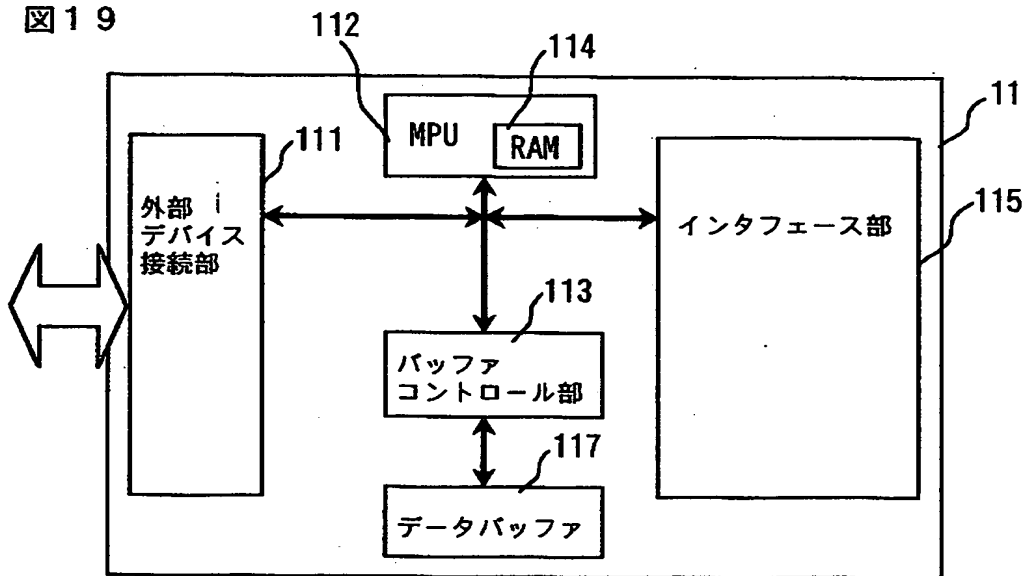
【図18】

図18



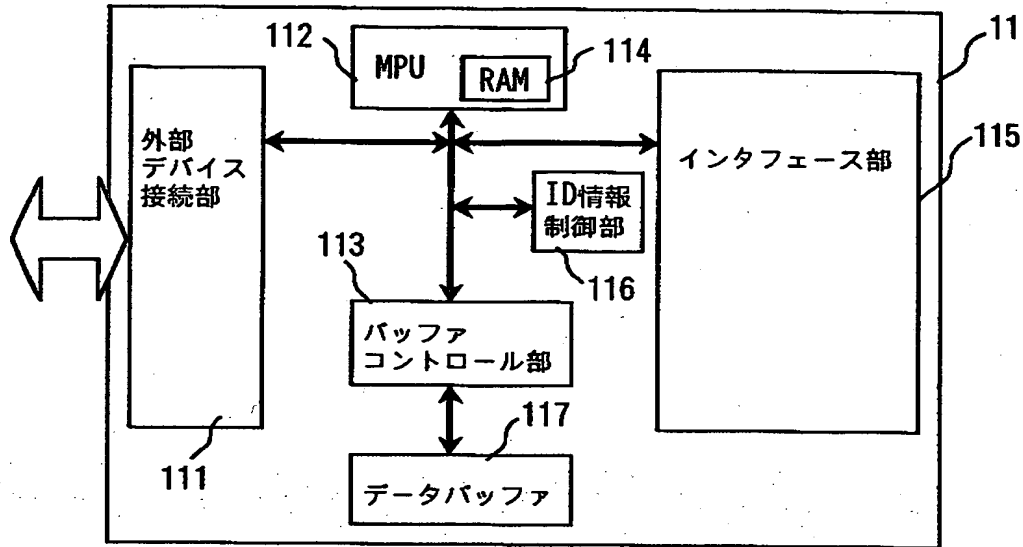
【図19】

図19



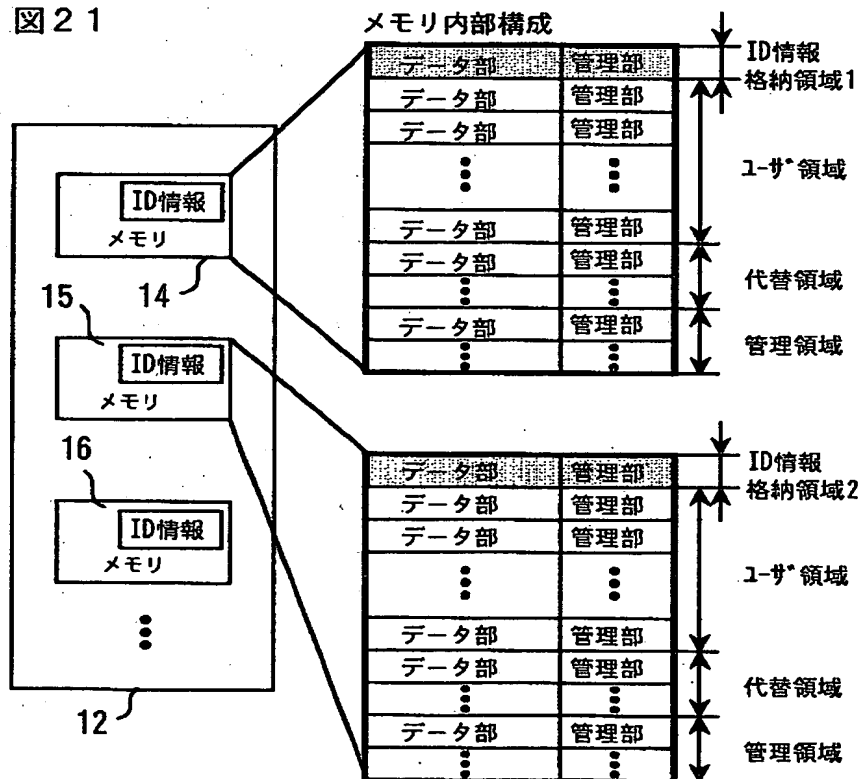
【図20】

図20



【図21】

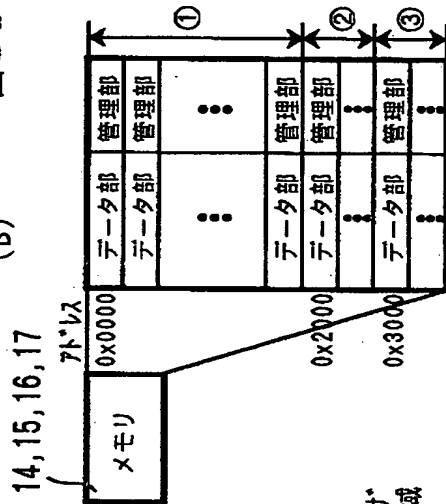
図21



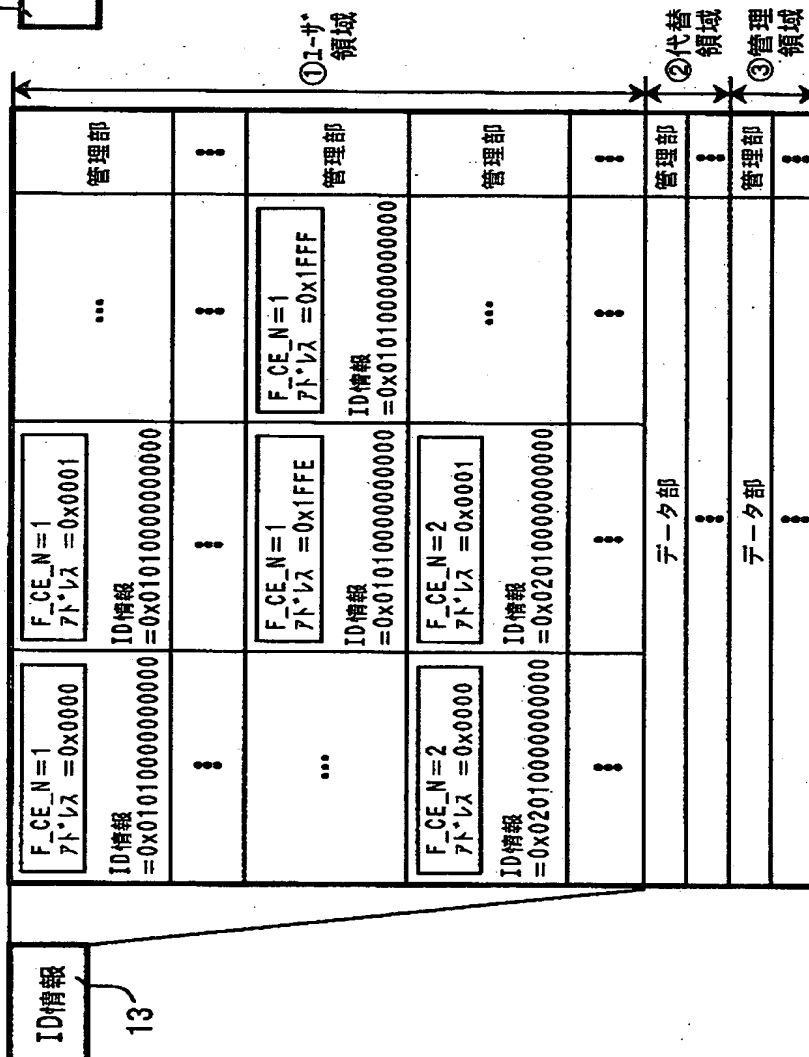
【图 2 2】

22

(B)



(A)



【書類名】 要約書

【要約】

【課題】 記憶領域毎の個別制御を可能とする。

【解決手段】 情報を記憶可能な半導体記憶素子を含んで記憶部（１２）が構成されるとき、上記記憶部を論理的に複数の記憶領域に分割するとともに、外部からのアクセスに対して上記記憶領域毎の個別制御を可能とする管理情報をテーブル化し（１３）、上記管理情報には、上記複数の記憶領域のうち予め指定された記憶領域についてのアクセスを禁止するための制御情報を設け、制御情報に従って特定の記憶領域についての外部アクセスを制限する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号

[000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ